

Petralský

**ŠKOLSKÝ
MIKROPOČÍTAČOVÝ SYSTÉM
VÚVT**

**PRÍRUČKA OPERÁTORA
POPIS TECHNICKÉHO VYBAVENIA**

A. Dolejší, P. Gregorek, K. Horváth, P. Malý

DATASYSTÉM

O B S A H

	Úvod	1
1.	Určenie a použitie systému	2
1.1.	Zostava systému	2
1.2.	Zásady používania systému	3
2.	Popis technických prostriedkov systému	8
2.1.	Základné vlastnosti	8
2.2.	Bloková schéma	9
2.3.	Centrálna jednotka	15
2.4.	Pamäť	36
2.5.	Displej	46
2.6.	Číslicové vstupy a výstupy	52
2.7.	Časovač	70
2.8.	Analógový vstup a výstup	83
2.9.	Výkonové výstupy	88
2.10.	Prerušovací systém	91
2.11.	Interfejsy periférií	104
2.12.	Klávesnica	115
2.13.	Elektrické vlastnosti užívateľských signálov	119
2.14.	Zdroj	129

Úvod.

Školský mikropočítačový systém /ŠMS VÚVT/ bol vyvinutý pre potreby školenia technických kádrov v oblasti mikropočítačovej techniky, ale je zároveň určený i pre široký okruh záujemcov o tento mimoriadne progresívny a rýchlo sa rozširujúci smer elektroniky. Predkladaná príručka obsahuje popis technického a programového vytavenia systému a stručný návod na používanie systému. Vzhľadom k tomu, že táto príručka obsahuje všetky závažné údaje o systéme, je nutné, aby užívateľ, či zodpovedný školiteľ, bol pred začatím práce so systémom oboznámený s jej obsahom. Predpokladá sa znalosť základov elektronických a logických obvodov, organizácie počítačových systémov a elementárneho programovania. Inak príručka môže slúžiť ako základná pracovná pomôcka školiteľa či vyspelého užívateľa, ktorý sa usiluje o demonštráciu a rozšírenie technického a programového vytavenia existujúceho systému, prípadne návrh vlastného systému. Veríme, že po zvládnutí systému získate dostatok inšpirácie pre svoje vlastné aplikácie. Tiež by sme radi prijali vaše pripomienky k systému i obsahu tejto príručky.

1. Určenie a použitie systému.

Školský mikropočítačový systém poskytuje prostriedok pre praktickú výuku mikropočítačových systémov, ktorý umožňuje:

- získať základné vedomosti o práci s mikroprocesorom 8080
- vkladať programy a dáta do počítača
- kontrolovať správnu činnosť zostavených programov
- skúmať vzťah technických a programových prostriedkov a navrhovať vlastné systémy

1.1. Zostava systému.

Školský mikropočítačový systém pozostáva z nasledovných častí:

- dosky mikropočítačového systému
- komerčného kazetového magnetofónu vo funkcii archivačnej pamäti
- príslušenstva pre zapojenie vytrvaných experimentálnych obvodov-motorček so snímačom otáčok, termistorový snímač teploty, reproduktor
- zdroja

Celý systém sa dodáva v dvoch kufríkoch o rozmeroch 465 x 365 x 125 mm. V jednom je doska mikropočítača spolu so zdrojom a popisom systému, v druhom je magnetofón a príslušenstvo systému /viď okr. 1.1-1 a 1.1-2/.

1.2. Zásady používania systému.

Základom spoľahlivej činnosti ŠMS je dodržanie doporučených zásad. Inak je obsluha a údržba ŠMS jednoduchá a pohodlná. Dierované dymové plexisklo, ktorým je krytá doska mikropočítača spolu so zdrojom, slúži v prvom rade na ochranu elektrických častí systému pred mechanickým poškodením a tiež pred neprípustným zásahom do systému od nepoučenej obsluhy. Odňatie krytu je dovolené len špeciálne zaškolenej obsluhu, ktorá toto robí len na vlastnú zodpovednosť. Pri prípadnej poruche systému treba opravu zveriť servisnému pracovníkovi.

Otvory v plexiskle slúžia na:

- cirkuláciu ohriateho vzduchu zvnútra systému do okolia
- prístup k sieťovému vypínaču, poistke a sieťovej vaničke
- prístup ku klávesnici, prepínaču režimu, systémovému konektoru, kontaktoým poliam, **päticiam** vstupno/výstupných bodov, 5-kolíkovým konektorom MGF a RS 232C, prepojkám, meracím bodom a potenciometrom.

ŠMS sa napája z jednofázovej striedavej siete 220V/50 Hz cez sieťovú vaničku a dodávanú sieťovú šnúru /viď okr. 1.1-1/. Napätie sa pripojí po zapojení sieťovej šnúry a stlačením sieťového vypínača /poloha I/. Poistka 0,4A je v primárnej časti zdroja.

1.2.1. Uvedenie ŠMS do činnosti.

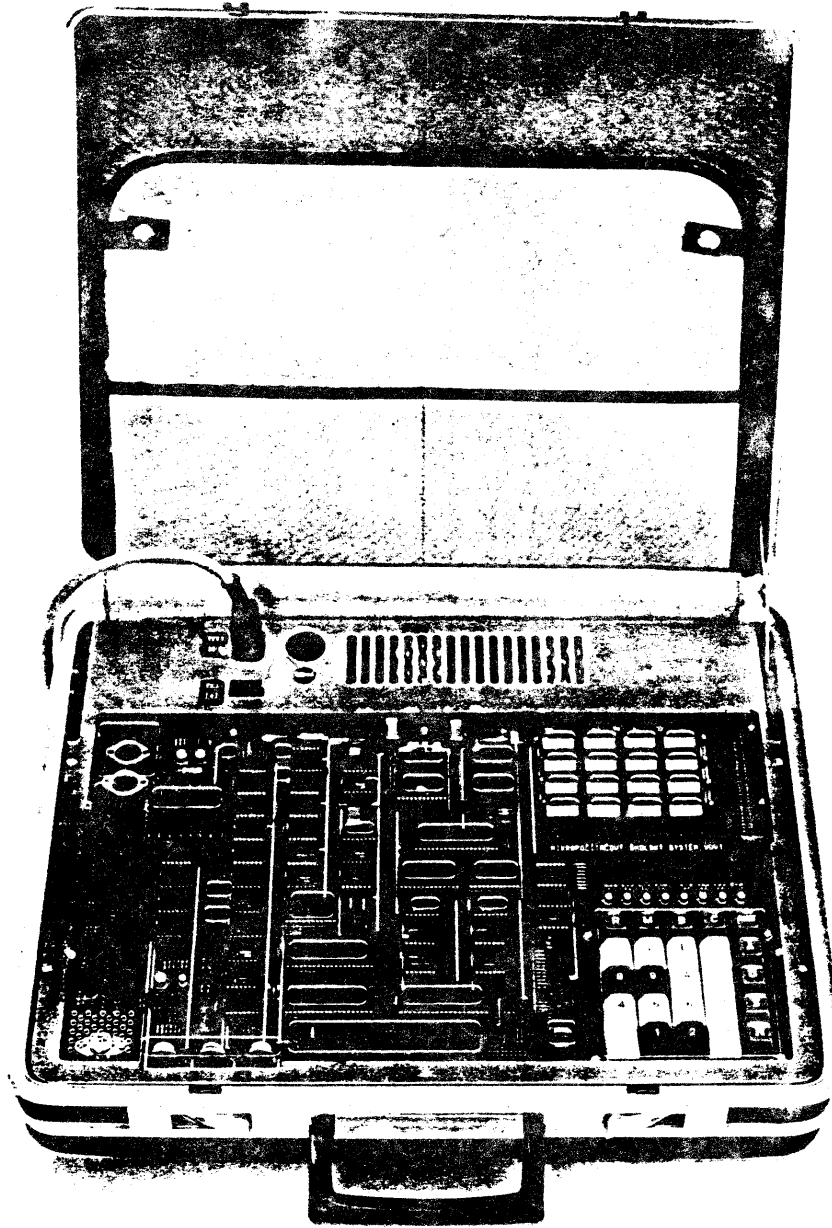
Celá činnosť pozostáva z:

- zasunutia sieťovej šnúry do sieťovej zásuvky 220/50 Hz a vaničky ŠMS /prápojenie k sieti s uzemnenou trojpólovou zásuvkou/
- stlačenia sieťového vypínača

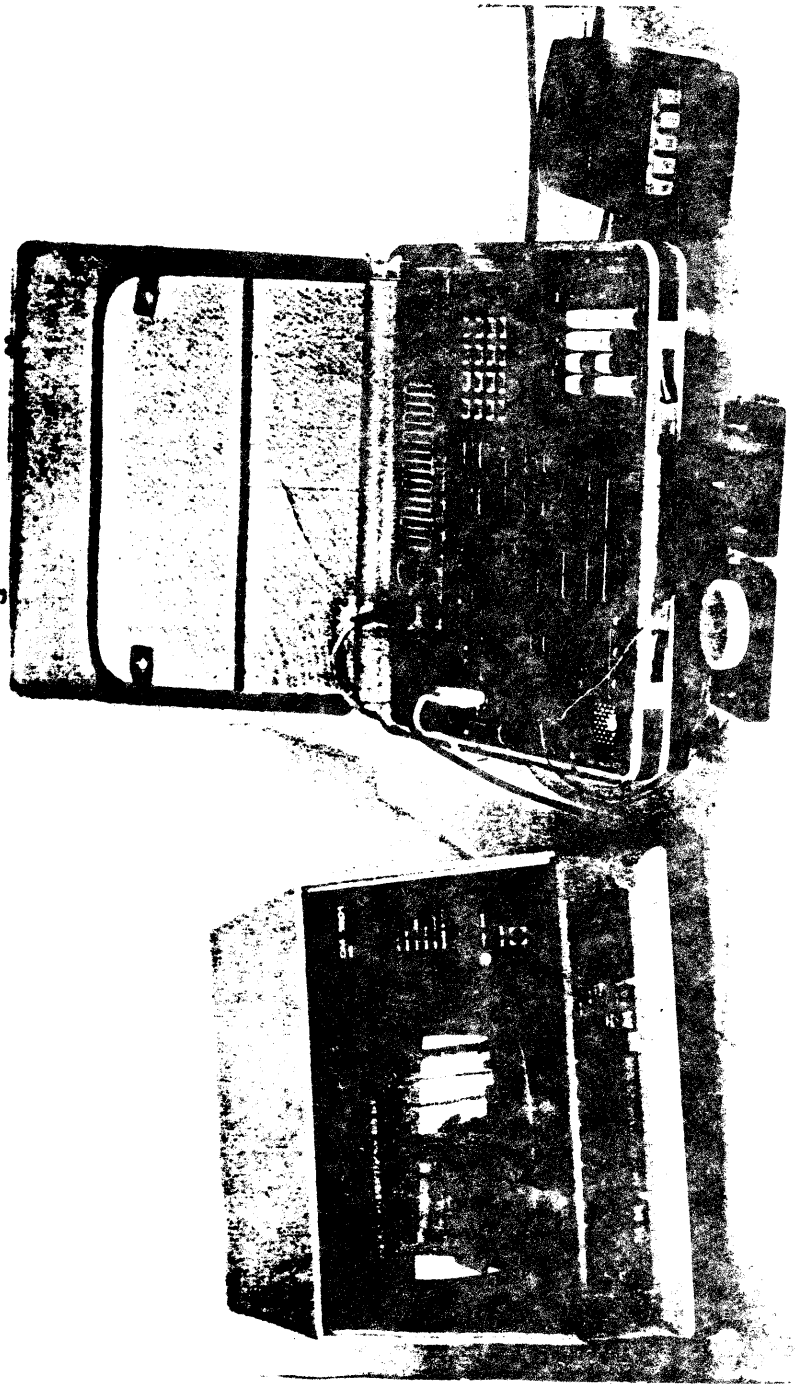
Činnosť zdroja a systému indikuje rozsvietený displej ŠMS, na ktorom sa zotrazí:

8200 ??

Na mieste otáznikov sa zotrazí obsah pamätevej bunky s adresou



OBR. 1.1-1



OBR. 1.1-2

8200, ktorý je po pripojení napätia úplne náhodný. Rovnako ako 8200 predstavuje štandardne inicializovanú adresu v hexadecimálnej sústave, je aj náhodný obsah bunky 8200 vyjadrený hexadecimálnou hodnotou, ktorá pozostáva z dvoch hexadecimálnych cifier. Tieto sú v ŠMS definované nasledovnými znakmi:

0123456789ABCDEF

V prípade, že sa displej vôbec nerozsvieti, treba skontrolovať, či nie je vypálená alebo zle zasunutá poistka. Ak po výmene vypálenej poistky za dokrú, sa poistka znova vypáli, treba zásadne opravu systému zveriť servisu. Ak sa displej po pripojení napájania rozsvieti, ale nie je na ňom popísané zobrazenie adresy a dát, treba stlačiť klávesu RESET a skontrolovať zobrazenie. Ak ani v tomto prípade nie je správne, signalizuje to chybu systému. Nemusí to však byť vážna chyba spôsobujúca nefunkčnosť systému. Najčastejšie ju spôsobujú pamäti RAM, z ktorých niektoré vplyvom starnutia, alebo výrotnej nedokonalosti sú schopné spoľahlivo pracovať až po istom zahriatí. Ak sa vám však nepodarí systém inicializovať ani po polminúte, môžete ho považovať za chybný. Na overenie správnej činnosti pamätí PROM a RAM môžete použiť ich testy, ktoré sú popísané v popise monitora.

Ich úspešný priebeh je pre spoľahlivú činnosť ŠMS nevyhnutný.

1.2.2. Bezpečnostné zásady pri práci s odvodmi MOS.

Na doske ŠMS je niekoľko odvodov technológie MOS, ktoré sú napriek vnútornej ochrane citlivé na elektrické polia a statické náboje. Hoci zásah do elektronických odvodov mikropočítača je dovolený len zaškoleným osobám, ktoré zásady pre prácu s odvodmi MOS musia ovládať, nezaškodí ich, vzhľadom na ich dôležitosť tu pripomenúť:

- nie je dovolené dotýkať sa nožičiek integrovaných odvodov, pretože ľudské telo môže mať silný statický náboj

- pájkovať na doske možno len pri vypnutom zdroji a len mikropájkou s uzemneným hrotom

- prístroje používané pri meraní musia byť uzemnené

- pri práci s doskou sa nedoporučuje odev zo syntetických materiálov, vhodná je antistatická obuv

- pri práci s doskou mikropočítača nepokladajte ju na umelú hmotu, ale na uzemnenú kovovú podložku

Na záver pokynov k zachádzaniu so systémom ty sme radi zdôraznili, aby sa zodpovední školitelia postarali o preventívne poučenie svojich zverencov, čo sa týka ~~návedeného~~ prepájania kontaktných polí, konektorov, ... atď, pretože akejkoľvek nezodpovednej manipulácie so systémovo prístupnými signálmi a predchádzali tak poškodeniu systému. Nezatudnite však pri tom, že účelom ŠMS je práve odokrytie čiernej skrinky počítača bez nežiadúceho prehnaného rešpektu.

2. POPIS TECHNICKÝCH PROSTRIEDKOV SYSTÉMU

2.1. Základné vlastnosti systému

Školský mikropočítačový systém /ŠMS/ sa vyznačuje nasledovnými vlastnosťami:

- počet inštrukcií /kompletný súbor I 8080/ - 244
- minimálny čas na vykonanie inštrukcie /MOV r,r/ - 2,usek
- maximálny čas na vykonanie inštrukcie /XTHL/ - 9,usek
- minimálna kapacita PROM pamäti /monitor/ - 1 kbyte
- maximálna kapacita PROM pamäti /na doske ŠMS/ - 4 kbyty
- minimálna kapacita RAM pamäti - 1 kbyte
- maximálna kapacita RAM pamäti /na doske ŠMS/ - 2 kbyty
- celkový počet programovateľných V/V bodov - 72
- počet užívateľských /monitorom neovplyvňovaných/ V/V bodov - 55
- počet systémovo nepridelených /úplne voľných/ V/V bodov - 28
- počet programovateľných časovačov /1 IO 8253/ - 3
- kapacita programovateľných časovačov - 16 bitev
- maximálna frekvencia časovačov - 2 MHz
- rozlišovacia schopnosť Č/A a A/Č prevodu - 8 bitov
- počet prerušovacích vektorov /RST 5, RST 6, RST 7/ - 3
- počet maskovateľných prerušení - 8
- prenosová rýchlosť kazetopáskového modemu - 100+300 Baudov
- štandardný sériový medzistyk - RS 232 C /V24/
- možnosť rozšírenia sériového medzistyku /na doske ŠMS/ o - IRPS /20mA/
- systém je realizovaný na dvojvrstvej doske o rozmeroch - 420x260 mm
- napájanie pri plnej konfigurácii /4 kbyty PROM, 2kbyty RAM, displej SM 7202/

Zdroj	Systém	Užívateľ
+5V/3A	2A	1A
+12V/2A	150 mA	1,85A
-5V/0,1A	70 mA	30 mA
-12V/0,1A	30 mA	70 mA

- maximálny príkon zdroja - 75 VA
- hmotnosť systému spolu s kufříkom - 7 kg
- pracovná teplota - +5°C + 35°C

2.2. Bloková schéma

Bloková schéma školského mikropočítačového systému /ŠMS/ je na obr. 2.2-1. Z hľadiska funkcie jednotlivých blokov možno ŠMS rozdeliť na nasledovné časti:

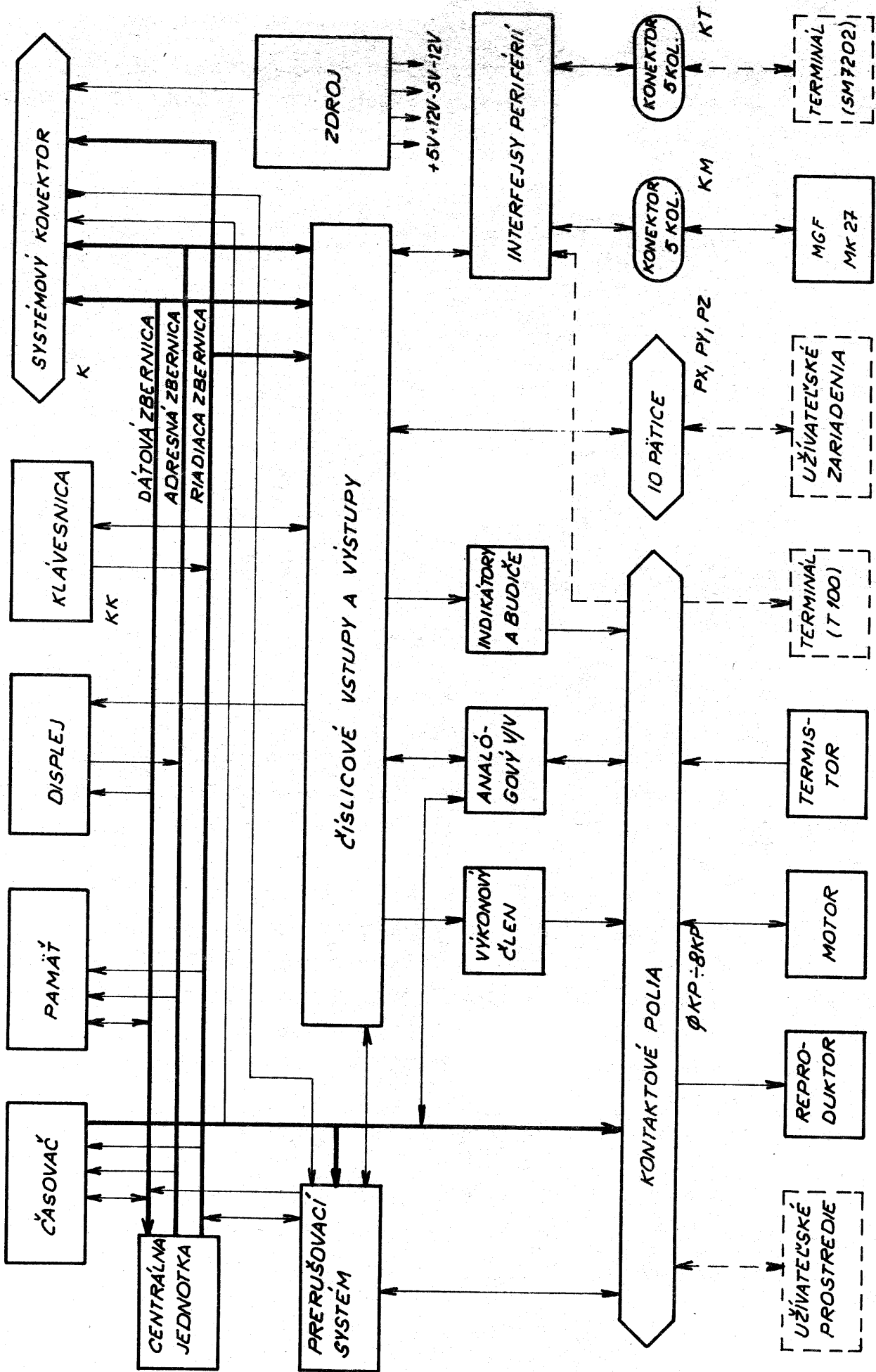
- centrálna jednotka
- pamäť
- displej
- číslicové vstupy a výstupy
- časovač
- analógový vstup a výstup
- výkonové výstupy
- prerušovací systém
- interfejsy periférií
- klávesnica
- zdroj

Hlavnými systémovými zbernicami sú:

- 16 bitová adresná zbernica
- 8 bitová dátová zbernica
- 5 bitová riadiaca zbernica

Spojenie s okolím systému zabezpečujú číslicové vstupno/výstupné obvody 8255 a prerušovací systém. Pre styk s prostredím, komunikáciu s terminálmi a prípadné rozšírenie systému môže užívateľ použiť:

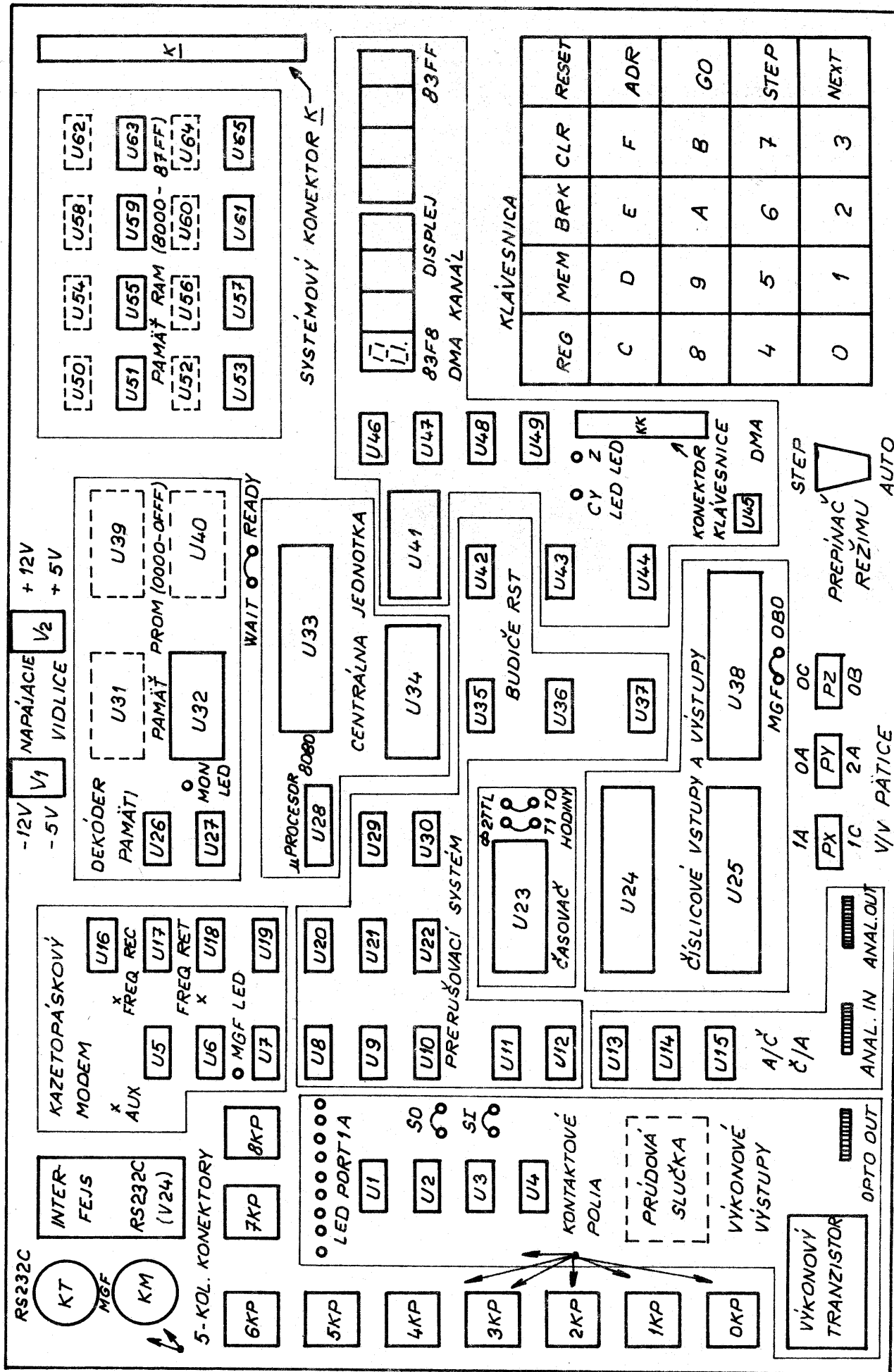
- deväť 16-pinových kontaktných polí, cez ktoré sa realizuje vstup z prostredia /analógový vstup, externé prerušenia, hradlovanie časovačov/ i výstup do prostredia /analógový výstup, výkonové výstupy, časovacie výstupy/. Spolu so štyrmi napájacími napätiami /+5V, +12V, -5V, -12V/ slúžia pre pripájanie štandardných prípravkov /motorček, termistor, reproduktor/ ako i užívateľských riadiacich modelov
- dva 5-kolíkové konektory pre pripojenie magnetofónu a alfanumerického displeja /SM 7202/
- tri 16-pinové päťice IO, do ktorých je vyvedených 6 8-bitových programovateľných V/V registrov pre prenos dátových, stavových a riadiacich signálov



Obr. 2.2-1 BLOKOVÁ SCHEMA ŠMS.

- 62 pinový systémový rozširujúci konektor.

Elektrické vlastnosti jednotlivých vstupov a výstupov sú popísané v kap. 2.13. Označenie integrovaných obvodov, konektorov, prepínačov, prepojok, potenciometrov a indikácií spolu s vyznačením funkčných blokov na doske ŠMS si môžete pozrieť na obr. 2.2-2. Súpis integrovaných obvodov označených podľa obr. 2.2-2 je v tab. 2.2-1.



Obr. 2.2 - 2 Rozloženie funkčných blokov na doske žms.

TAB. 2.2-1 Súpis integrovaných obvodov dosky ŠMS (viď obr. 2.2-2)

Označenie	Typ	Význam
U1	74LS14	6-tica Schmittových invertorov
U2+U4	7406	6-tica výkonových invertorov s otvoreným kolektorom
U5	7476	dvojica J-K klopných obvodov
U6	7400	štvorica dvojvstupových hradiel
U7	7472	J-K klopný obvod s trojvstupovými súčinnými vstupmi J,K
U8	7430	osemvstupové súčinnové hradlo
U9	7400	štvorica dvojvstupových hradiel
U10	74LS00	štvorica nízkovýkonových dvojvstupových hradiel
U11	74LS139	dvojica dekóderov zo 4 na 1
U12	3205	dekóder z 8 na 1 (ekv. 74LS 138)
U13	74LS04	6-tica nízkovýkonových invertorov
U14	LM324	štvorica operačných zosilňovačov
U15	ZN425E	Č/A prevodník
U16	556	dvojica časovačov
U17	7476	dvojica J-K klopných obvodov
U18,U19	7474	dvojica D-klopných obvodov
U20	7410	trojica trojvstupových hradiel
U21	7474	dvojica D-klopných obvodov
U22	74LS04	6-tica nízkovýkonových invertorov
U23	8253	programovateľný časovač
U24,U25	8255	programovateľný V/V obvod (3x8 bitov)
U26	74155	dekóder z 8 na 1
U27	74LS04	6-tica nízkovýkonových invertorov
U28	8224	generátor hodín
U29	74LS04	6-tica nízkovýkonových invertorov

TAB. 2.2-1 pokr.

U30	7474	dvojica D-klopných obvodov
U31,U32	2708	programovateľná a mazateľná pamäť PROM (1024x8 bitov)
U33	8080	mikroprocesor
U34	8228	radič a budič dátovej zbernice
U35	3216	4-bitový obojsmerný budič zbernice
U36	7474	dvojica D-klopných obvodov
U37	7400	štvorica dvojjstupových hradiel
U38	8255	programovateľný V/V obvod (3x8 bitov)
U39,U40	2708	programovateľná a mazateľná pamäť PROM (1024x8 bitov)
U41	3212	8-bitový V/V obvod
U42	3216	4-bitový obojsmerný budič zbernice
U43	7403	štvorica dvojjstupových hradiel s otvoreným kolektorom
U44	7400	štvorica dvojjstupových hradiel
U45	555	časovač
U46,U47	7438	štvorica dvojjstupových výkonových budičov
U48	74155	dekóder z 8 na 1
U49	7493	šestnástkový čítač
U50+U65	K565PY2	pamäť RAM (1024x1 bitov)

2.3. Centrálna jednotka

Centrálna jednotka (CPU) je tvorená štandardnými stavebnicovými obvodmi rady 8080:

8080 - mikroprocesor

8224 - generátor hodín a systémového nulovania

8228 - radič a budič zbernice

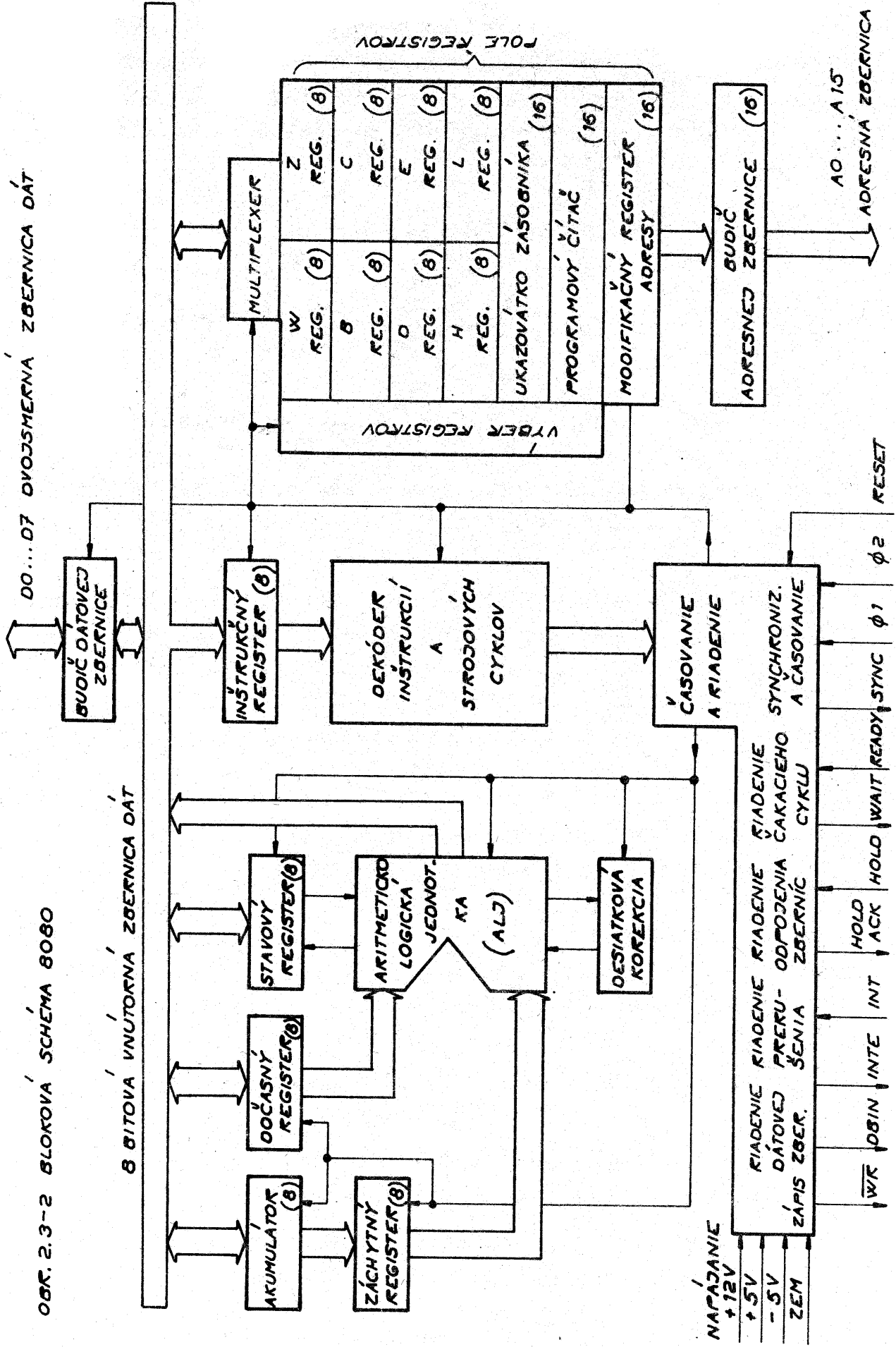
Zapojenie CPU v ŠMS (viď obr. 2.3-1) predstavuje typický príklad použitia týchto obvodov.

Mikroprocesor 8080 je 8-bitový paralelný procesor vyrobený technológiou NMOS. Bloková schéma tohto obvodu (jednočipový obvod vysokej integrácie (LSI) - obsahuje približne 5000 tranzistorov) je na obr. 2.3-2. Podrobný popis architektúry mikroprocesora 8080 možno nájsť v katalógu (v ČSSR je asi najrozšírenejší preklad - MIKROPROCESOROVÝ SYSTÉM SAB 8080, vyd. ČSVTS PIEŠŤANY), na tomto mieste si pre stručné oboznámenie a prípadnú príručnú odvolávku uvedieme iba jej hrubý náčrt. Ako vidieť z obr. 2.3-2 mikroprocesor 8080 pozostáva z typických komponentov dnešných procesorov - register a dekóder inštrukcií, čítač inštrukcií, aritmeticko-logická jednotka, akumulátor, stavový register, pole univerzálnych registrov, ukazovátka zásobníka, riadiace a časovacie obvody, budiče zberníc. Mikroprocesor 8080 nie je mikroprogramovateľný, t.j. jeho súbor inštrukcií je pevne stanovený vnútornou štruktúrou obvodu, nemožno ho modifikovať ani rozširovať. Na adresovanie pamäti mikroprocesor používa 16-bitovú adresu, ktorá umožňuje priamy prístup až k 64 kbytom pamäti. Vstupno/výstupné obvody možno sprístupňovať oddelene od pamäťových prenosov cez osembitové adresy V/V inštrukcií, ktoré umožňujú rozlíšiť až 256 vstupných a 256 výstupných obvodov. Priame adresné módy mikroprocesora sú:

- operand v registri (REGISTER)
- operand v inštrukcii (IMMEDIATE)
- adresa operandu v inštrukcii (DIRECT)

Okrem toho možno použiť nepriamy registrový mód (REGISTER INDIRECT), pri ktorom je zdrojom adresy operandu obsah jedného z párov registrov BC, DE alebo HL. S týmito registrami možno pracovať jednotlivo alebo v pároch - s dvojnásobnou presnosťou.

OBR. 2.3-2 BLOKOVÁ SCHEMA 8080



Ukazovátkom zásobníka možno priamo adresovať pamäť. Zásobníková pamäť je realizovaná v hlavnej pamäti a nie je súčasťou CPU. Tým je umožnená neobmedzená hĺbka skokov do podprogramov a tiež prerušení. Mikroprocesor generuje súbor riadiacich signálov, ktoré úplne postačujú na spoluprácu s pamäťou a vonkajšími zariadeniami.

Význam jednotlivých riadiacich signálov

- SYNC

výstupný synchronizačný signál indikujúci začiatok každého strojového cyklu

- DBIN

výstup signalizujúci vstupný režim dátovej zbernice

- \overline{WR}

výstup používaný na riadenie zápisu dát do pamäti alebo V/V obvodov. Platné dáta sú počas $\overline{WR} = 0$

- READY

vstup oznamujúci, že na dátovej zbernici 8080 sú platné dáta. Používa sa na synchronizáciu procesora s pomalou pamäťou alebo V/V zariadeniami. Ak po vyslaní adresy je READY = 0, 8080 vstúpi do stavu WAIT a ostane v ňom dovtedy, kým READY neprejde do 1. Vstup READY možno tiež použiť na jednoduchý krok mikroprocesora (po cykloch).

- WAIT

výstup indikujúci, že mikroprocesor je v stave WAIT (čakanie na pripravenosť pamäti alebo V/V zariadenia)

- HOLD

vstup žiadajúci prechod do stavu HOLD, počas ktorého mikroprocesor odpája adresnú a dátovú zbernicu, takže ich môžu budiť externé zariadenia. Žiadosť HOLD je rozpoznaná ak:

- 1) Mikroprocesor je v stave HALT
- 2) Mikroprocesor je v stave T2 alebo TW a READY = 1

- HLDA

výstup potvrdzujúci, že dátová a adresná zbernica prejdú do stavu vysokej impedancie. HLDA sa aktivuje:

- 1) Pri čítaní pamäti, alebo vstupnej operácii na začiatku T3
- 2) Pri zápise do pamäti, alebo výstupnej operácii v takte nasledujúcom po T3

- INTE

výstupný signál indikujúci stav interného klopného obvodu maskujúceho požiadavku na prerušenie. Tento klopný obvod možno ovládať programovo. Pri stave $INTE=1$ je prerušenie povolené. Nuluje sa signálom RESET a tiež v takte T1 cyklu M1, v ktorom bolo prerušenie prijaté.

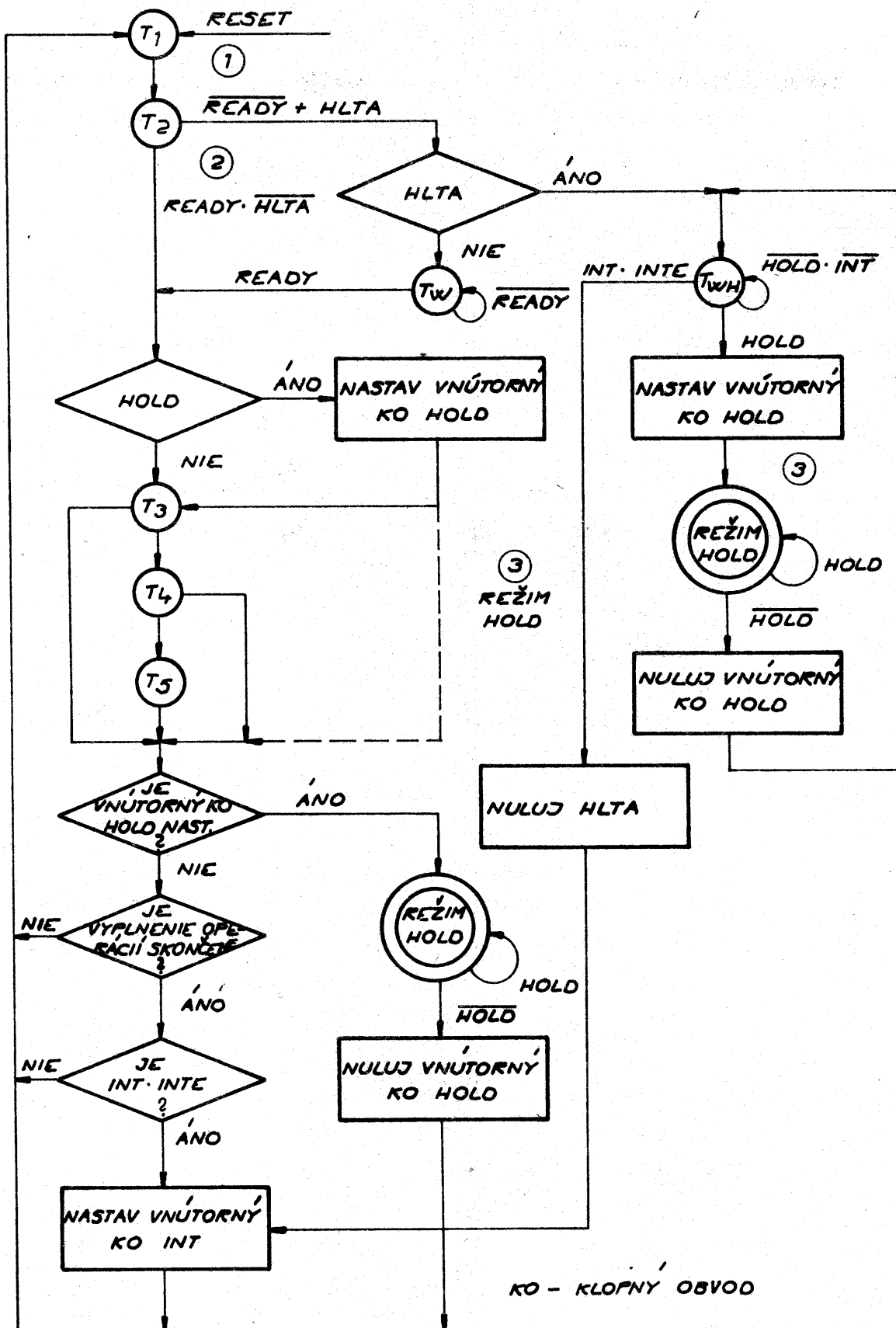
- INT

vstup žiadosti o prerušenie. Žiadosť je rozpoznaná na konci vykonávania inštrukcie alebo počas HALT-u. Ak je mikroprocesor v stave HOLD alebo $INTE = 0$, žiadosť nebude akceptovaná.

- RESET

vstupný signál, pri ktorého aktivácii sa nuluje PC a tiež klopné obvody INTE a HLDA. Po skončení RESET (musí trvať minimálne 3 hodinové periódy) sa odštartuje program od adresy 0. Obsah registrov, akumulátora, indikácií a ukazovátka zásobníka ostáva nezmenený.

Inštrukčný cyklus (vykonanie jednej inštrukcie) pozostáva z jedného až piatich strojových cyklov označovaných M1, ... M5, pričom každý strojový cyklus sa môže skladať z troch až piatich (T1 až T5) stavov (nazývaných tiež takty alebo hodinové periódy). Okrem toho v závislosti na signále READY môže byť medzi stavmi T2 a T3 vsunutý čakací stav TW (dynamický stop). Vývojový diagram stavov 8080 na obr. 2.3-3 popisuje činnosť mikroprocesora počas jedného strojového cyklu. Počas taktu T1 je na dátovej zbernici stavová informácia, ktorá určuje činnosť procesora v danom strojovom cykle. V cykle M1 je to vždy prinesenie inštrukcie (FETCH). Význam ďalších typov stavových informácií bude uvedený v tab. 2.3-1. V T2 sa testuje stav signálov READY, HOLD a HLTA. V závislosti na výsledku testu prechádza mikroprocesor do TW alebo T3. V stave TW sa testuje, či sa vykonávala inštrukcia HALT, ak áno, čaká sa v stave TWH, pokiaľ nepríde signál HOLD alebo prerušenie. Signálom HOLD sa nastaví klopný obvod HOLD a mikroprocesor ostane v stave HOLD až do skončenia aktívnej úrovne signálu HOLD, kedy mikroprocesor opäť prejde do stavu TWH. Príchodom povoleného prerušenia sa mikroprocesor vyvedie zo stavu čakania a v nasledujúcom cykle začne obsluha prerušenia. Ak sa nevykonávala inštrukcia HALT, čaká procesor v stave TW až do príchodu READY, t.j. keď sú už na dátovej



OBK. 2.3-3 VÝVOJOVÝ DIAGRAM STAVOV BOBO

zbernici pripravené vstupné dáta. Ak signál HOLD nie je aktívny, mikroprocesor prejde do stavu T3. Ďalšia činnosť závisí od typu dekodovanej inštrukcie. S výnimkou inštrukcií DAD sa počas T3 uskutočňuje dátový prenos. Takty T4 a T5 nevyužívajú všetky inštrukcie. Operácie, ktoré sa počas nich vykonávajú, sú čiste vnútroprocesorové a môžu sa prekryvať s činnosťou DMA kanála. Pri dekodovaní inštrukcie sa zistí počet cyklov a taktov príslušnej inštrukcie a podľa toho sa generujú potrebné synchronizačné signály. Pre spoluprácu s externými obvodmi sa využíva stavová informácia, ktorá sa skladá zo signálov uvedených v tabuľke TAB. 2.3-1. Stavové slová, vysielané mikroprocesorom a im odpovedajúce riadiace signály (aktívne v "0") generované obvodom 8228 sú v tabuľke TAB. 2.3-2.

Názov	Bit	Význam
INTA	D0	Potvrdenie prerušenia. Používa sa na hradlovanie inštrukcie RST na dátovú zbernicu počas aktívneho signálu DBIN.
\overline{WO}	D1	V aktívnom stave ("0") signalizuje, že sa vykoná zápis do pamäti alebo výstup. V opačnom prípade prebehne čítanie pamäti alebo vstup
STACK	D2	Indikuje, že na adresnej zbernici je adresa zásobníka z ukazovátka zásobníka
HLTA	D3	Potvrdenie príjmu inštrukcie HALT.
OUT	D4	Indikuje, že na adresnej zbernici je adresa výstupného zariadenia a dátová zbernica bude obsahovať výstupné dáta pri aktivácii signálu \overline{WR} .
M1	D5	Indikuje, že CPU je v cykle výberu inštrukcie.
INP	D6	Indikuje, že na adresnej zbernici je adresa vstupného zariadenia a jeho dáta majú byť na zbernici pri aktivácii signálu DBIN.
MEMR	D7	Indikuje, že dátová zbernica bude použitá pre čítanie dát pamäti

SIGNÁLY STAVOVEJ INFORMÁCIE MIKROPROCESORA 8080

TAB. 2.3-1.

D Á T O V Ý B I T	S T A V O V Á I N F.	P R I N E S E N I E I N Š T.	Č Í T A N I E P A M Ä T I	Z Á P I S D O P A M Ä T I	Č Í T A N I E Z Á S O B.	Z Á P I S D O Z Á S O B.	Č Í T A N I E V S T U P U	Z Á P I S N A V Ý S T.	P O T V R D. P R E R U Š.	P O T V R D. H A L T U	P O T V R D. P R. V H L T
		①	②	③	④	⑤	⑥	⑦	⑧	⑨	⑩
D0	INTA	0	0	0	0	0	0	0	1	0	1
D1	WO	1	1	0	1	0	1	0	1	1	1
D2	STACK	0	0	0	1	1	0	0	0	0	0
D3	HLTA	0	0	0	0	0	0	0	0	1	1
D4	OUT	0	0	0	0	0	0	1	0	0	0
D5	M1	1	0	0	0	0	0	0	1	0	1
D6	INP	0	0	0	0	0	1	0	0	0	0
D7	MEMR	1	1	0	1	0	0	0	0	1	0
24	$\overline{\text{MEMR}}$	0	0	1	0	1	1	1	1	1	1
26	$\overline{\text{MEMW}}$	1	1	0	1	0	1	1	1	1	1
25	$\overline{\text{I/O R}}$	1	1	1	1	1	0	1	1	1	1
27	$\overline{\text{I/O W}}$	1	1	1	1	1	1	0	1	1	1
23	$\overline{\text{INTA}}$	1	1	1	1	1	1	1	0	1	0
PIN	SIGNÁL	STAV RIADIACICH SIGNÁLOV 8228									

STAVOVÉ SLOVÁ MIKROPROCESORA 8080

TAB. 2.3-2.

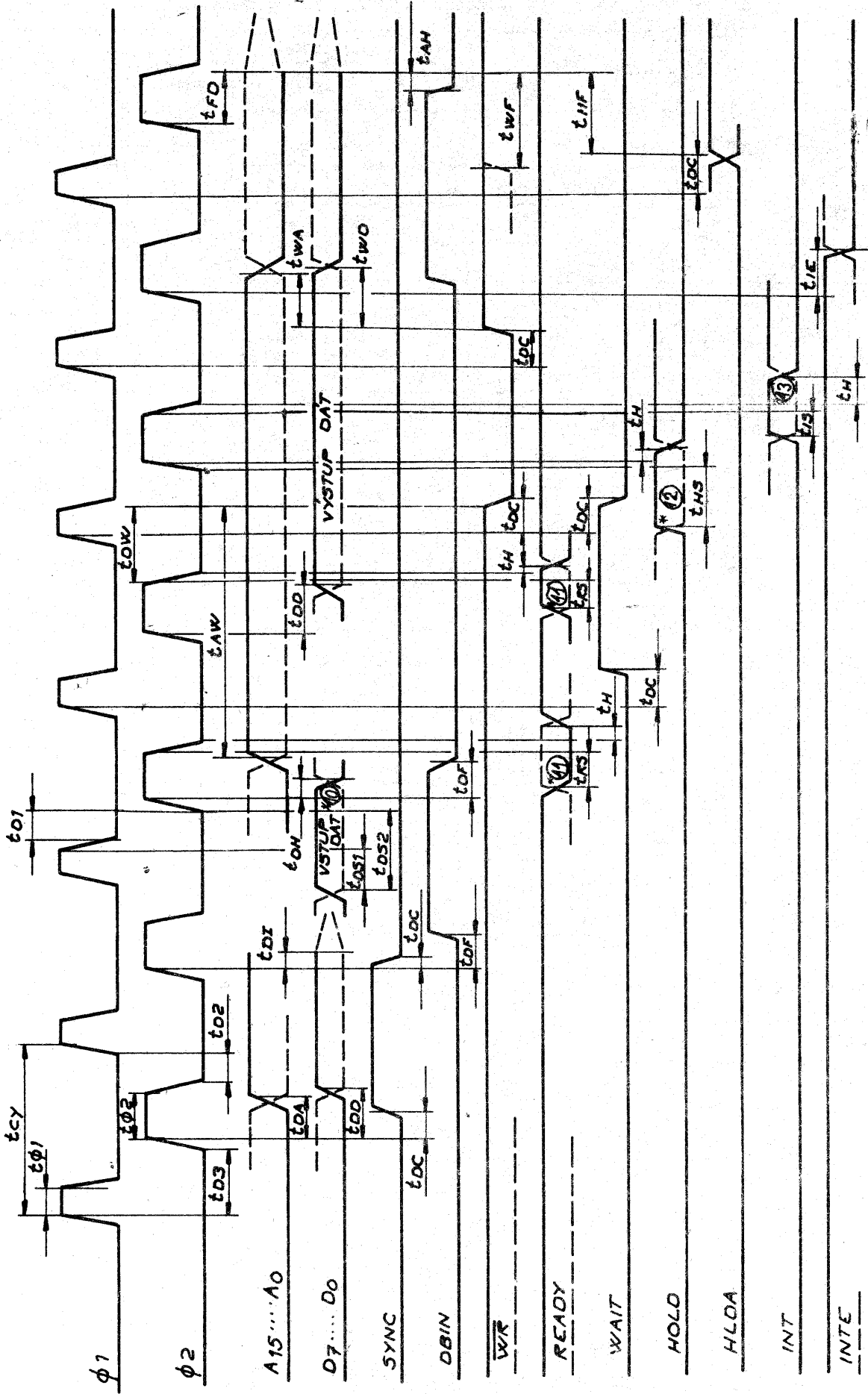
Okrem generovania riadiacich signálov má obvod 8228 ešte úlohu oddelovača a budiča dátovej zbernice. Pri normálnej operácii sa na synchronizáciu 8228 s 8080 využívajú signály \overline{STSTB} , \overline{DBIN} a \overline{WR} . Zdrojom \overline{STSTB} je obvod 8224, ktorý cez tento signál prenáša potvrdenie mikroprocesora o stabilnosti svojich výstupov. Obvod 8228 používa \overline{STSTB} na ovzorkovanie stavovej informácie a \overline{DBIN} a \overline{WR} na hradlovanie vstupu a výstupu dát. Na odpojenie zbernice obvodu 8228 pre činnosť DMA kanála sa využívajú vstupy \overline{BUSEN} a \overline{HLDA} . V ŠMS sa DMA kanál využíva pre zobrazenie dát na displeji a bude popísaný v kapitole 2.5. Výstup \overline{INTA} využíva prerušovací systém na vyhradovanie viacbytovej prerušovacej inštrukcie (obyčajne RST). Použitie \overline{INTA} spolu s mikroprocesorovými signálmi pre riadenie prerušení \overline{INT} a \overline{INTE} bude popísané v kapitole 2.10. Vstup mikroprocesora \overline{READY} je vzhľadom na použité rýchle pamäti ošetrovaný na povoľovaciu úroveň. V prípade náhrady pamäti napr. pamäťovými prvkami s technológiou CMOS, ktoré majú cyklus pamäti väčší než 1 hodinová perióda, treba \overline{READY} ovládať externe. Obvykle však, cyklus pamäti CMOS neprevyšuje dve hodinové periódy, takže vsunutie jedného čakacieho stavu TW za $T2$ postačí na správnu činnosť pamäti. Toto možno dosiahnuť jednoducho prepojením výstupného signálu \overline{WAIT} so vstupom \overline{RDYIN} obvodu 8224, ktorý sa po synchronizácii hodinami mikroprocesora v 8224 vedie na vstup \overline{READY} mikroprocesora. Na doske ŠMS sú pre takéto prepojenie osadené piny nad obvodom mikroprocesora. Hlavnou úlohou obvodu 8224 je výroba dvojfázových hodín pre mikroprocesor. Okrem toho poskytuje nulovací signál pre mikroprocesor a vstupno/výstupné obvody a strobovací signál začiatku každého strojového cyklu. Čas trvania jednej hodinovej periódy možno vypočítať zo vzťahu

$$T_{HOD} = \frac{9}{\text{frekvencia kryštálu}} = \frac{9}{18,432 \text{ MHz}} = 488,28 \text{ nsek.}$$

Počet strojových cyklov a stavov pre jednotlivé inštrukcie môžete nájsť v tabuľke TAB. 2.3-3. Inštrukcie sú v nej rozdelené do skupín s rovnakou štruktúrou strojových cyklov. Definícia symbolického vyjadrenia strojových cyklov je vysvetlená v texte za tabuľkou.

TAB. 2.3-3

Skupina inštrukcií	Vykonávané strojové cykly	Počet taktov
RSTX a PUSH RP	PCR5 (1) SPW3 (5) SPW3 (5)	11
Všetky CALL	PCR5 (1) PCR3 (2) PCR3 (2) SPW3 (5) SPW3 (5)	11/17
Podmienkové RET	PCR5 (1) SPR3 (4) SPR3 (4)	5/11
RET	PCR4 (1) SPR3 (4) SPR3 (4)	10
XTHL	PCR4 (1) SPR3 (4) BPR3 (4) SPW3 (5) SPW5 (5)	18
DAD RP	PCR4 (1) PCX3 (X) PCX3 (X)	10
INR R; INX RP; DCR R; DCX RP; PCHL; MOV R,R; SPHL	PCR5 (1)	5
Všetky JUMP a LXI RP	PCR4 (1) PCR3 (2) PCR3 (2)	10
POP RP	PCR4 (1) SPR3 (4) SPR3 (4)	10
LDA	PCR4 (1) PCR3 (2) PCR3 (2) BBR3 (2)	13
STA	PCR4 (1) PCR3 (2) PCR3 (2) BBW3 (3)	13
LHLD	PCR4 (1) PCR3 (2) PCR3 (2) BBR3 (2) BBR3 (2)	16
SHLD	PCR4 (1) PCR3 (2) PCR3 (2) BBW3 (3) BBW3 (3)	16
STAX B	PCR4 (1) BCW3 (3)	7
STAX D	PCR4 (1) DEW3 (3)	7
LDAX B	PCR4 (1) BCR3 (2)	7
LDAX D	PCR4 (1) DER3 (2)	7
MOV R,M; ADD M; ADC M; SUB M; SBB M; ANA M; XRA M; ORA M; CMP M	PCR4 (1) HLR3 (2)	7
INR M a DCR M	PCR4 (1) HLR3 (2) HLW (3)	10
MVI M	PCR4 (1) PCR3 (2) HLW (3)	10
MVI R; ADI; ACI; SUI; SBI; ANI; XRI; ORI; CPI	PCR4 (1) PCR3 (2)	7
MOV M,R	PCR4 (1) HLW3 (3)	7
EI; DI; ADD R; ADC R; SUB R; SBB R; ANA R; XRA R; ORA R; CMP R; RLC; RRC; RAL; RAR; DAA; CMA; STC; CMC; NOP; XCHG	PCR4 (1)	4



Obr. 2.3-4 ČASOVÉ PŘEBĚHY MIKROPROCESORA 8080

Spínacie časy mikroprocesora 8080

Symbol	Parameter	Hodnoty v nsek.		
		min.	max.	typ
t_{cy}^{*3}	Hodinová perióda	480	2000	489
t_r, t_f	Čas nábehu a dobehu hodín	0	50	14
$t_{\phi 1}$	Šírka hodín $\phi 1$	60		100
$t_{\phi 2}$	Šírka hodín $\phi 2$	220		248
t_{D1}	Oneskorenie z $\phi 1$ na $\phi 2$	0		6
t_{D2}	Oneskorenie z $\phi 2$ na $\phi 1$	70		106
t_{D3}	Oneskorenie z $\phi 1$ na $\phi 2$ (náb.)	80		112
t_{DA}^{*2}	Oneskorenie výstupu adresy voči $\phi 2$		200	120
t_{DD}^{*2}	Oneskorenie výstupu dát voči $\phi 2$		220	80
t_{DC}^{*2}	Oneskorenie výstupu signálov \overline{WR} , SYNC, WAIT, HLDA voči $\phi 1$ alebo $\phi 2$		120	40
t_{DF}^{*2}	Oneskorenie DBIN voči $\phi 2$	25	140	50
t_{DI}^{*1}	Oneskorenie dátovej zbernice pre vstup		t_{DF}	
t_{DS1}	Predstih dát počas $\phi 1$ a DBIN	30		
t_{DS2}	Predstih dát pred $\phi 2$ počas DBIN	150		
t_{DH}^{*1}	Podržanie dát od $\phi 2$ počas DBIN	(1)		
t_{RS}	Predstih READY voči dobehu $\phi 2$	120		350
t_{HS}	Predstih HOLD voči nábehu $\phi 2$	140		
t_{IS}	Predstih INT voči dobehu $\phi 2$	120		
t_H	Zdržanie od $\phi 2$ (READY, INT, HOLD)	0		135
t_{FD}	Oneskorenie odpojenia dátovej a adresnej zbernice		120	
t_{AW}^{*2}	Ustálená adresa pred \overline{WR}	(5)		
t_{DW}^{*2}	Ustálené výstupné dáta pred \overline{WR}	(6)		
t_{WD}^{*2}	Ustálené výstupné dáta po \overline{WR}	(7)		
t_{WA}^{*2}	Ustálená adresa po \overline{WR}	(7)		
t_{HF}^{*2}	Oneskorenie odpojenia HLDA	(8)		
t_{WF}^{*2}	Oneskorenie odpojenia \overline{WR}	(9)		
t_{AH}^{*2}	Podržanie adresy po DBIN počas HLDA	-20		
t_{IE}^{*2}	Oneskorenie INTE voči nábehu $\phi 2$		200	26

Poznámky k spínacím časom a časovým priebehom:

*1 Vstup dát by mal byť povolený signálom DBIN. Týmto sa zabráni konfliktom na zbernici a je daný čas držania dát
 $t_{DH} = 50 \text{ nsek}$ alebo t_{DF} .

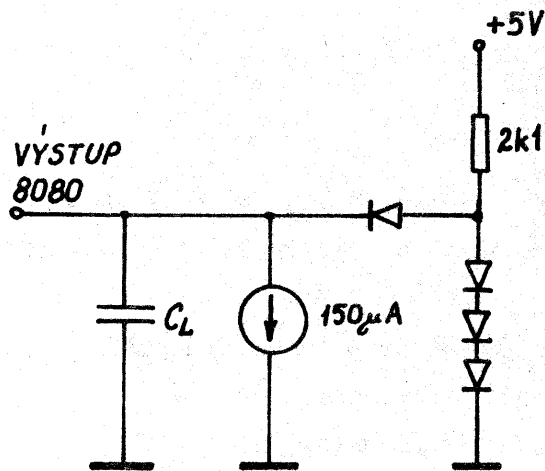
*2 Údaje platia pre nasledovné testovacie podmienky

$$T_A = 0^\circ \text{ až } 70^\circ \text{C}$$

$$V_{DD} = +12\text{V} \pm 5\%, \quad V_{CC} = +5\text{V} \pm 5\%, \quad V_{BB} = -5\text{V} \pm 5\%,$$

$$V_{SS} = 0\text{V}$$

Zaťažovací obvod



$C_L = 100 \text{ pF}$: adresa, dáta
 $C_L = 50 \text{ pF}$: $\overline{\text{WR}}$, HLDA, DBIN

Merania sú robené pri nasledovných napätových úrovniach:

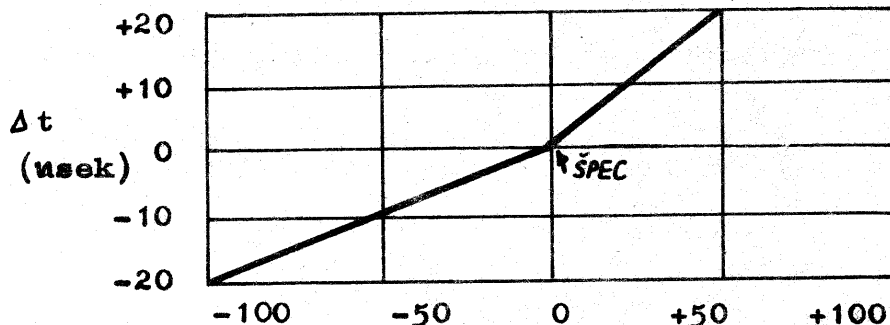
HODINY: "1" = 8,0V "0" = 1,0V

VSTUPY: "1" = 3,3V "0" = 0,8V

VÝSTUPY: "1" = 2,0V "0" = 0,8V

$$\#3 \quad t_{CY} = t_{D3} + t_{r\phi 2} + t_{\phi 2} + t_{f\phi 2} + t_{D2} + t_{r\phi 1} \geq 480 \text{ nsek.}$$

Typická charakteristika zmeny oneskorenia voči zmene kapacity:



$$\Delta C (\text{pF}) \\ (C_{\text{SKUT}} - C_{\text{ŠPEC}})$$

#4 Ak je 8080 napojená na prvky majúce $V_{IH} = 3,3V$ platí
a/ maximálny nábeh výstupu od 0,8V do 3,3V je 100 nsek.

$$(C_L = \text{ŠPEC})$$

b/ výstupné oneskorenie do 3,0V je ŠPEC+60 nsek. ($C_L = \text{ŠPEC}$)

c/ ak $C_L > C_{\text{ŠPEC}}$ pripočítaj 0,6 nsek/pF

ak $C_L < C_{\text{ŠPEC}}$ odpočítaj 0,3 nsek/pF

$$\#5 \quad t_{AW} = 2 t_{CY} - t_{D3} - t_{r\phi 2} - 140 \text{ nsek.}$$

$$\#6 \quad t_{DW} = t_{CY} - t_{D3} - t_{r\phi 2} - 170 \text{ nsek.}$$

#7 Ak nie je HLDA, $t_{WD} = t_{WA} = t_{D3} + t_{r\phi 2} + 10 \text{ nsek.}$

Ak je HLDA, $t_{WD} = t_{WA} = t_{WF}$

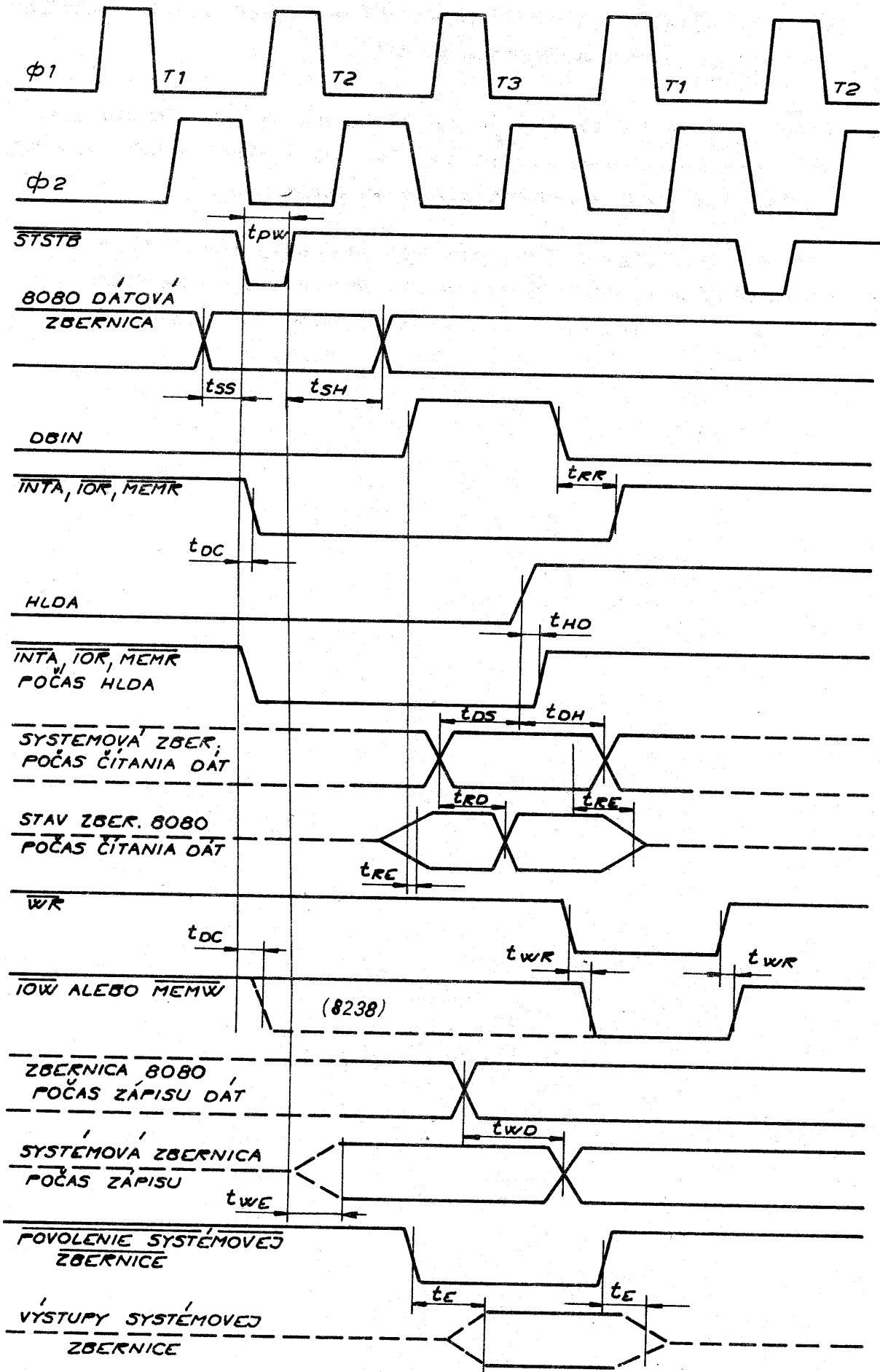
$$\#8 \quad t_{HF} = t_{D3} + t_{r\phi 2} - 50 \text{ nsek.}$$

$$\#9 \quad t_{WF} = t_{D3} + t_{r\phi 2} - 10 \text{ nsek.}$$

#10 Počas DBIN v T3 musia byť dáta stabilné.

DS1 i DS2 musia byť dostačujúce.

- *₁₁ V tejto perióde počas T2 alebo TW musí byť READY stabilný (musí sa externe synchronizovať)
- *₁₂ HOLD musí byť stabilný počas T2 alebo TW pri vstupe do HOLD režimu, a tiež počas T3, T4, T5 a TWH, ak už je v HOLD režime (externá synchronizácia sa nepožaduje)
- *₁₃ Prerušovací signál INT musí byť stabilný počas tohto (posledného !) hodinového cyklu ľubovoľnej inštrukcie, aby sa mohlo uplatniť pri nasledujúcej inštrukcii.

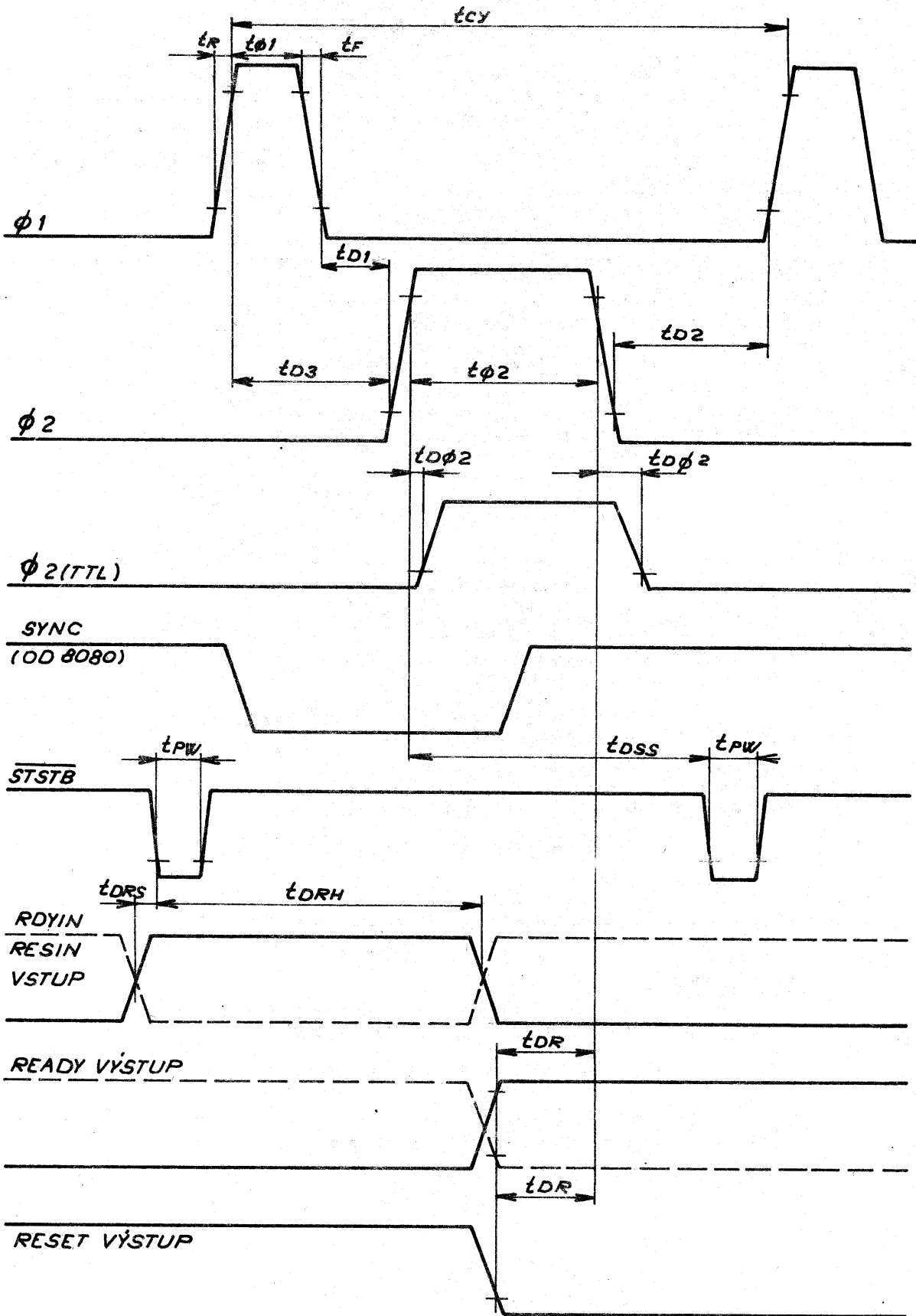


OBK. 2.3-5 ČASOVÉ PRIEBEHY OBVODU 8228

Spínacie časy obvodu 8228

Symbol	Parameter	Hodnoty v nsec		
		Min.	Max.	Typ
t_{PW}	Šírka strobovacieho impulzu <u>STSTB</u>	22		58
t_{SS}	Predstih vstupov D0 - D7	8		
t_{SH}	Podržanie vstupov D0 - D7	5		
t_{DC}	Oneskorenie riadiacich signálov voči <u>STSTB</u>	20	60	
t_{RR}	Oneskorenie riad.signálov voči DBIN		30	
t_{RE}	Oneskorenie zbernice 8080 voči DBIN		45	
t_{RD}	Oneskorenie zbernice 8080 voči systémovej zbernici počas čítania		30	
t_{WR}	Oneskorenie riadiacich signálov voči <u>WR</u>	5	45	22(36)
t_{WE}	Oneskorenie systém.zbernice DB0-DB7 po <u>STSTB</u>		30	
t_{WD}	Oneskorenie syst.dátovej zbernice (8228) voči procesorovej dátovej zbernici (8080)	5	40	
t_E	Oneskorenie systémovej dátovej zbernice (DB0-DB7) voči <u>SYSTEM</u> <u>BUS ENABLE</u>		30	
t_{HD}	Predstih HLDA voči <u>INTA</u> , <u>IOR</u> , <u>MEMR</u>		25	
t_{DS}	Predstih systémovej zbernice voči HLDA	10		
t_{DH}	Podržanie dát systémovej zberni- ce voči HLDA	20		

TAB. 2.3-5



OBR. 2.3 - 6 ČASOVÉ PRIEBEHY OBVODU 8224

Spínacie časy obvodu 8224

Symbol	Parameter	Hodnoty v nsek.		
		min.	max.	typ
$t_{\phi 1}$	Šírka hodín $\phi 1$	$\frac{2t_{cy}}{9} - 20$		100
$t_{\phi 2}$	Šírka hodín $\phi 2$	$\frac{5t_{cy}}{9} - 35$		248
t_{D1}	Oneskorenie $\phi 2$ voči $\phi 1$	0		5
t_{D2}	Oneskorenie $\phi 1$ voči $\phi 2$	$\frac{2t_{cy}}{9} - 14$		106
t_{D3}	Oneskorenie $\phi 2$ voči $\phi 1$	$\frac{2t_{cy}}{9}$	$\frac{2t_{cy}}{9} + 20$	112
t_R	Nábeh $\phi 1$ alebo $\phi 2$		20	10
t_F	Dobeh $\phi 1$ alebo $\phi 2$		20	14
$t_{D\phi 2}$	Oneskorenie $\phi 2$ (TTL) voči $\phi 2$	-5	+15	0
t_{DSS}	Oneskorenie \overline{STSTB} voči $\phi 2$	$\frac{6t_{cy}}{9} - 30$	$\frac{6t_{cy}}{9}$	300
t_{PW}	Šírka \overline{STSTB}	$\frac{t_{cy}}{9} - 15$		58
t_{DRS}	Predstih RDYIN voči \overline{STSTB}	$\frac{9}{50} - \frac{4t_{cy}}{9}$		
t_{DRH}	Podržanie RDYIN po \overline{STSTB}	$\frac{4t_{cy}}{9}$		
t_{DR}	Oneskorenie $\phi 2$ voči RDYIN alebo RESIN	$\frac{4t_{cy}}{9} - 25$		
t_{CLK}	Periódá hodín = $\frac{t_{cy}}{9}$			488,28
f_{max}	Maximálna frekvencia		27MHz	18,432MHz

TAB. 2.3-6

2.4 Pamäť

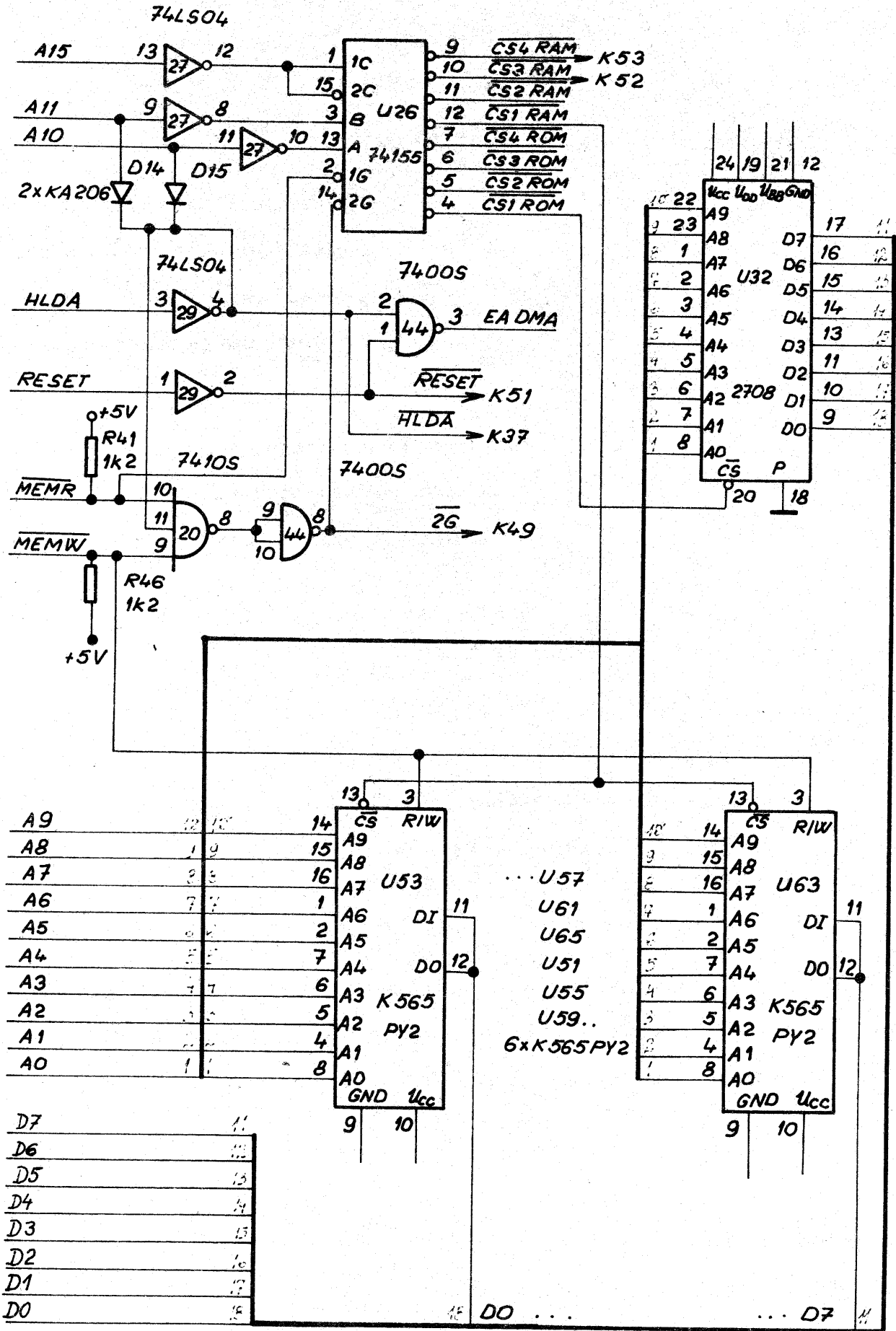
ŠMS používa dva základné druhy pamäti:

1. Pamäť PROM, v ktorej je uložený základný monitor.
2. Pamäť RAM, ktorú sčasti využíva monitor /asi 90 bytev/, ale jej hlavným určením je poskytnutie priestoru pre ukladanie užívateľských programov.

V základnej konfigurácii majú obidve pamäti kapacitu 1 kbyte. Priamo na doske je možné pamäť PROM rozšíriť o ďalšie 3 kbyty a pamäť RAM o 1 kbyte. Ďalšie rozšírenie je možné len mimo dosky ŠMS.

2.4.1 Adresovanie pamäti

Podrobná schéma zapojenia pamäti je na obr. 2.4-1. Zo 16 bitovej adresy procesora sa na adresáciu pamäti využíva iba 13 bitov. Základný výber vykonáva dekóder 74155, na ktorom sa generujú výberové signály kilobytových blokov pamäti PROM a RAM. Kilobytový blok pamäti PROM je tvorený jediným pamäťovým obvodom 2708 /elektricky programovateľná a ultrafialovým svetlom mazateľná pevná pamäť s organizáciou 1024x8 bitov/, kým kilobytový blok pamäti RAM tvorí 8 pamäťových obvodov K 565 PY2 /ekvivalent 2102A-4 pamäť RAM, umožňujúca čítanie i zápis, s organizáciou 1024x1 bit/. Dolné adresné bity A9-A0 sú privedené priamo na adresné vstupy pamäťových obvodov a slúžia na adresáciu jednej bunky týchto obvodov. Nakoľko pamäťový obvod RAM sprístupňuje naraz iba jednu jednobitovú bunku, musí sa na dosiahnutie 8-bitovej šírky dát použiť 8 pamäťových obvodov. Ich spoločný výber zabezpečuje jediný výberový CS1 /základná pamäť RAM/. Mikroprocesor 8080 používa 16-bitové adresy a je schopný adresovať až 64 kbytov pamäti. ŠMS nevyužíva tri adresné bity /A14, A13, A12/, a preto môže adresovať iba 8-kbytovú pamäť. Za príklad dekódovania adresy v ŠMS zoberme adresu 8200, na ktorú



OBR. 2.4 - 1 ZAPOJENIE PAMÄTI.

monitor inicializuje PC:

Adresné bity: A15... ..A11...A9... ..A0

8200₁₆ = 1 000 00 0100000000

10 najnižších bitov, ktoré používajú pamäťové obvody na adresáciu 1 bunky pamäti
 /0100000000=adresa bunky/

výber jednej zo štyroch možných kilobytových blokov pamäti PROM alebo RAM

/00= základná pamäť RAM/

3 nevyužitú bitov

/000 = bez významu/

rozlíšenie výberu pamätí PROM a RAM

/1 = výber pamäti RAM/

Neúplné dekódovanie adresy spôsobuje, že virtuálna pamäť sa javí ako osemnásobná kópia fyzickej pamäti, t.j. jednej bunke fyzickej pamäti odpovedá osem adres, medzi ktorými je posuv 1000 /hexadecimálne/.

Príklad:

Hexadecimálne adresy

0000, 1000,,7000

adresujú jedinú bunku monitorovoj PROM a podobne adresy

8200, 9200, ..., F200

adresujú jedinú bunku základnej RAM.

Štandardný softwar ŠMS používa z oboch adresných priestoroch /PROM=0000...7FFF, RAM=8000...FFFF/ iba "originál", t.j. adresy 0000 ÷ 0FFF a 8000 ÷ 8FFF /A14=A13=A12=0/.

Jednotlivé výberové signály CS, dekódera 74 155 /U 26/ vyberajú nasledovné bloky a obvody pamätí:

CS1 ROM - základná monitorová PROM /U32/ v adresnom priestore 0000 ÷ 03FF, ..., 7000 ÷ 73FF

CS2 ROM - rozširujúca PROM /U 40 - osadená len päťica/ v adresnom priestore 0400 ÷ 07FF, ..., 7400 ÷ 77FF

CS3 ROM - rozširujúca PROM /U 31-neosadená/ v adresnom priestore 0800 ÷ 0BFF, ..., 7800 ÷ 7BFF

CS4 ROM - rozširujúca PROM /U 39 - neosadená/ v adresnom priestore 0C00 ÷ 0FFF, ... , 7C00 ÷ 7FFF

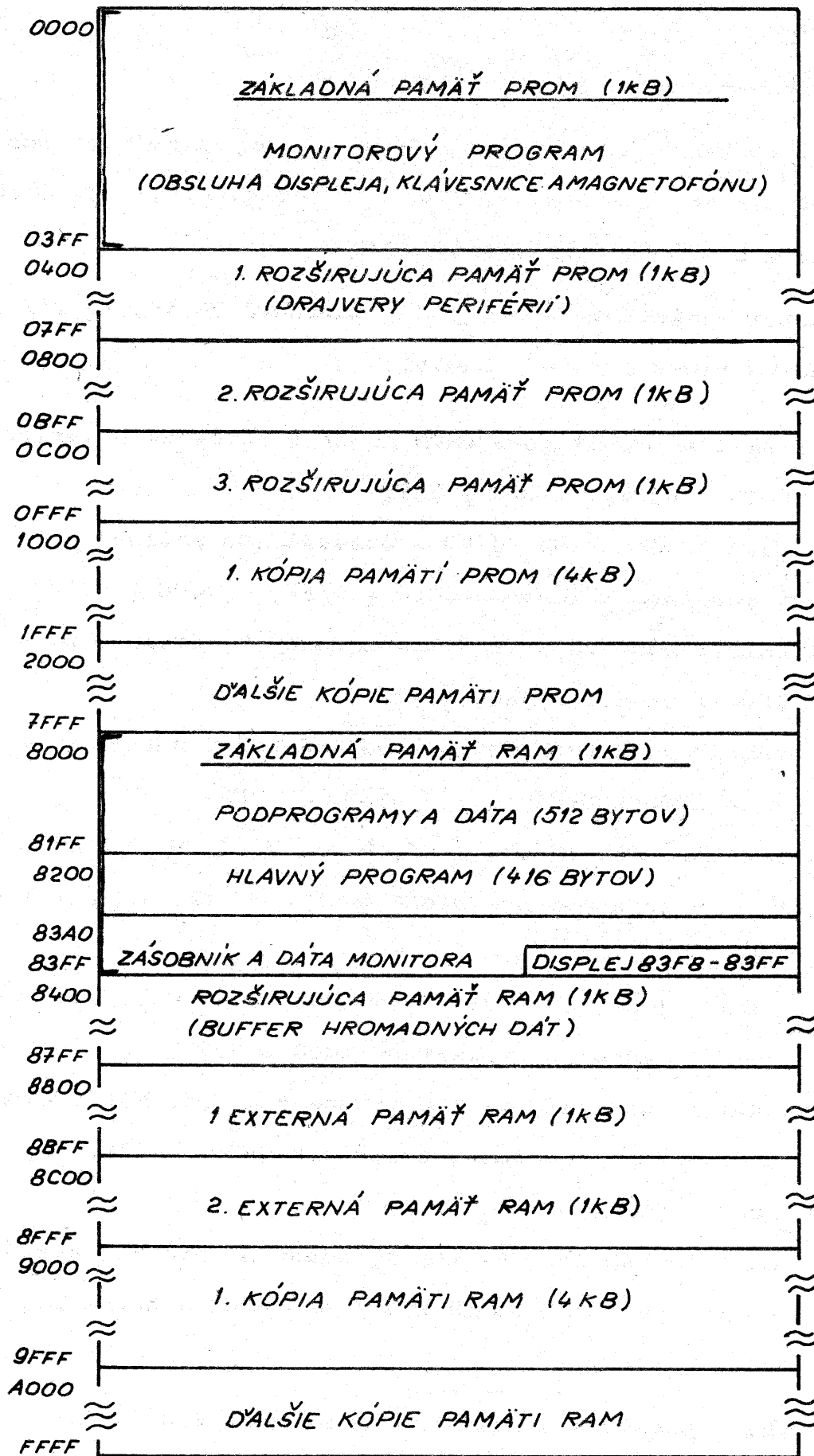
CS1 RAM - základná RAM /U 53, U 57, U 61, U 65, U 51, U 55, U 59, U 63/ v adresnom priestore 8000 - 83FF, ..., F000 ÷ F3FF

CS2 RAM - rozširujúca RAM (U52, U56, U60, U64, U50, U54, U58, U62, / v adresnom priestore 8400 ÷ 87FF, ..., F400 ÷ F7FF

CS3 RAM - externá RAM /signál iba vyvedený na pin K52 systémového konektora/ v adresnom priestore 8800 - 8BFF, ..., F800 - FBFF

CS4 RAM - externá RAM /signál iba vyvedený na pin K53 systémového konektora/ v adresnom priestore 8C00 - 8FFF, ..., FC00 - FFFF

Mapa a príklad použitia pamäti ŠMS je na obr. 2.4 - 2.



OBR. 2.4 - 2 MAPA PAMĚTI S PRĪKLADOM JEJ POUŽĪTIA.

2.4.2. Dátová zbernica pamäti

Vstupy a výstupy všetkých pamät'ových prvkov sú pripojené na spoločnú dátovú zbernicu. Dátovú zbernicu môže budiť len tá pamäť (PROM alebo RAM), ktorá bola vybraná dekóderom 74155. Toto však platí pre všetky pripojené zariadenia. Zbernicu v aktívnom stave môže budiť iba jedno zariadenie (procesor, pamäť, vstupný obvod) a tak isto zbernica budí jedno zariadenie (procesor, pamäť, výstupný obvod). Ostatné zariadenia musia byť v tretom stave (vykazovať voči zbernicovým vodičom vysokú impedanciu). S výnimkou adresných budičov kanála DMA, ktoré sú tvorené hradlami s otvorenými kolektormi (majú však v tomto prípade požadované správanie), sú všetky budiče adresnej a dátovej zbernice realizované trojstavovými obvodmi (8080, 8228, 2708, K565PY2, 3216, 8255, 8253). Trojstavové obvody umožňujú nielen viacerým zariadeniam užívať spoločnú zbernicu, ale tiež dovoľujú, aby sa pre vstup a výstup používali tie isté vývody. Pri výbere prvku zabezpečuje potrebné správanie sa trojstavových vstupov a výstupov interná logika obvodu, ktorá povoľuje alebo odpája budiče na základe prijímaných riadiacich signálov. Z pamäti PROM možno iba čítať a preto na riadenie jej výstupných budičov postačuje signál výberu obvodu ($\overline{CS1\ ROM}$). Stav budičov pamäti RAM usmerňuje okrem výberového signálu ($\overline{CS1\ RAM}$) ešte signál \overline{MEMW} z obvodu 8228 privedený na vstup R/W obvodov pamäti. Činnosť pamäti je popísaná nasledovnou pravdivostnou tabuľkou:

CE	R/W	DI	DO	Režim
1	X	X	3. stav	pamäť nevybraná
0	0	0	0	zápis "0"
0	0	1	1	zápis "1"
0	1	X	DO	čítanie

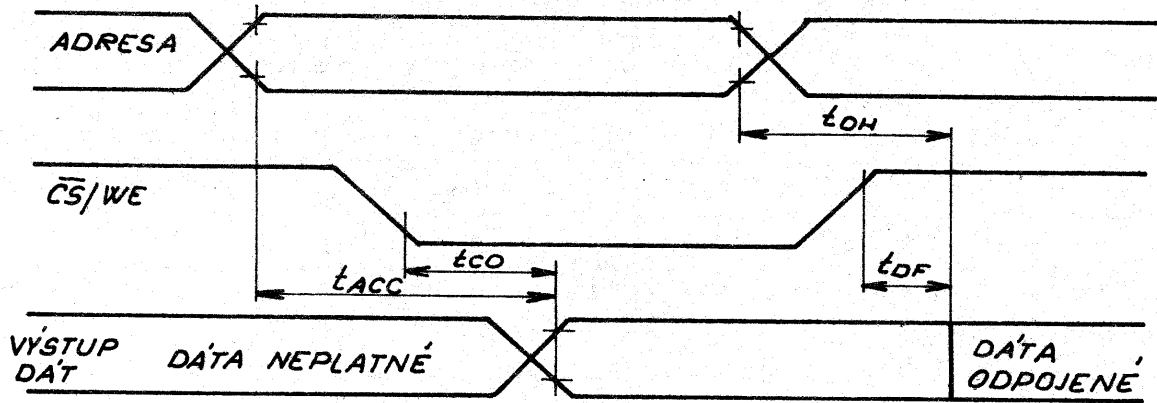
Tab. 2.4-1

Časové priebehy a spínacie časy pamäti RAM a PROM sú na obr.2.4-3 a v tab. 2.4-2. Spôsob komunikácie medzi procesorom a pamäťou si môžete pozrieť v časovom diagrame obvodu 8228 (obr. 2.3-5).

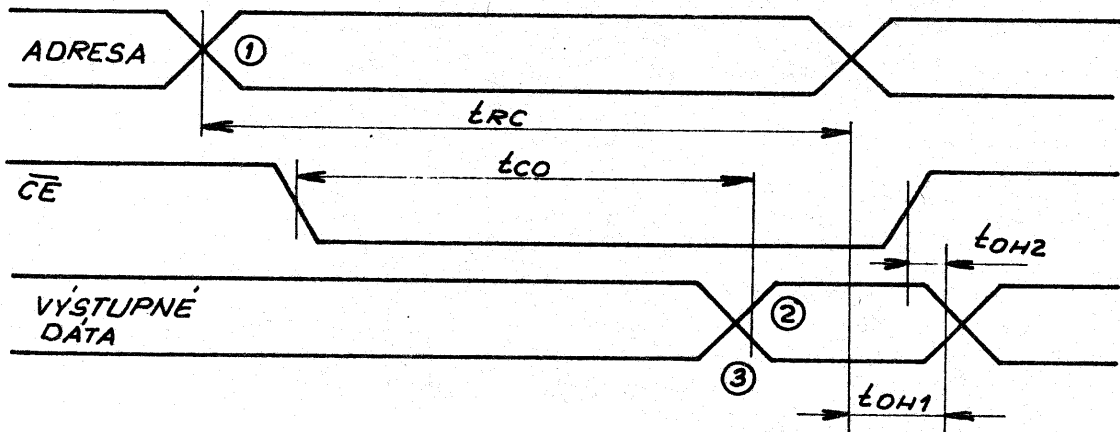
2.4.3. Externé rozšírenie pamäti

V prípade, že by ste chceli rozšíriť pamäť nad 8 kbyte, musíte upraviť dekóder pamäti. Pri sériovom rozšírení dekódera cez CS3 a CS4 (prípadne aj CS2) nie je nutný zásah do hardveru ŠMS, ale obmedzenie je v tom, že sa nedá dosiahnuť väčší spojitý adresný priestor než 2 kbyty (resp. 3 kbyty). Ak by takéto rozsekanie adresného priestoru bolo prekážkou, treba modifikovať existujúce dekódovanie. Vo všeobecnosti platí, že čím vyššie adresné bity sa dekódujú, tým väčší blok pamäti sa vyberie; napr. ak by sa bity A10 a A11 zamenili za bity A13 a A14, vyberala by táto dvojbitová kombinácia 8 kbytový blok pamäti. Pri takomto dekódovaní by sa adresácia základnej pamäti nezmenila (8000-83FF), zato prídavná pamäť by sa posunula do adresného priestoru A000 - A3FF a zároveň by neexistovali kópie pamäti, t.j. spojitosť adresného priestoru PROM a RAM by nebola obmedzená. Úplnú nezávislosť prídavného dekódovania možno dosiahnuť jedine blokovaním dekódera ŠMS, čo si však vyžaduje zásah do funkcie uvoľňovacích vstupov 1G a 2G, o ktorých dosiaľ nebola reč.

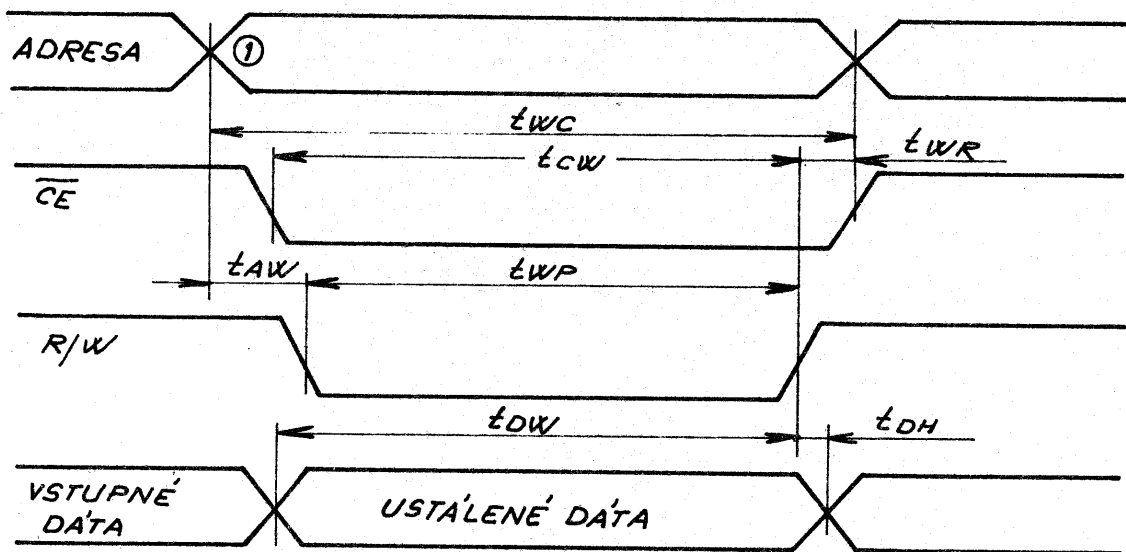
ČASOVÉ PRIEBEHY PAMÄTI PROM 2708 - ČÍTANIE



ČASOVÉ PRIEBEHY PAMÄTI RAM K 565 PY 2 - ČÍTANIE



ČASOVÉ PRIEBEHY PAMÄTI RAM K 565 PY 2 - ZÁPIS



OBR. 2.4 - 3 ČASOVÉ PRIEBEHY PAMÄTI PROM A RAM.

Spínacie časy pamäti PROM 2708

Symbol	Parameter	Hodnoty v nsek.		
		min.	max.	typ
t_{ACC}	Oneskorenie dát voči adrese		450	322
t_{CO}	Oneskorenie výstupu dát voči \overline{CS}		120	70
t_{DF}	Oneskorenie odpojenia dát voči \overline{CS}	0	120	
t_{OH}	Podržanie adresy voči odpojeniu dát	0		

Spínacie časy pamäti RAM K565 PY2 (I 2102 A-4)

Symbol	Parameter	Hodnoty v nsek.		
		min.	max.	typ
t_{RC}	Cyklus čítania	450		
t_A	Oneskorenie dát voči adrese		450	340
t_{CO}	Oneskorenie výstupu dát voči výberu		230	90
t_{OH1}	Platnosť predchádzajúcich dát po zmene adresy	40		
t_{OH2}	Platnosť predchádzajúcich dát po prechode \overline{CE} do "1"	0		
t_{WC}	Cyklus zápisu	450		
t_{AW}	Oneskorenie R/W voči adrese	20		
t_{CW}	Predstih výberu voči zápisu	300		460
t_{DW}	Predstih dát	300		
t_{DH}	Podržanie dát	0		
t_{WP}	Šírka zapisovacieho impulzu	300		500
t_{WR}	Čas zotavenia	0		

Poznámka:

Meracie úrovne v časových priebehoch:

① 1,5V

② 2,0V

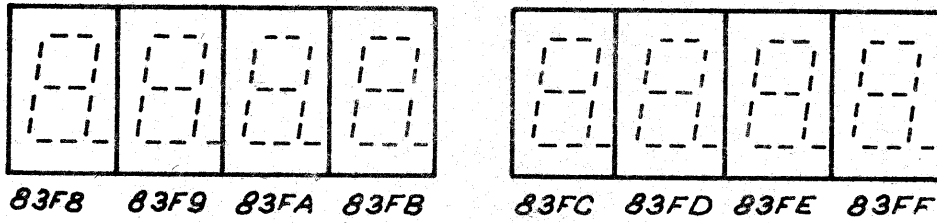
③ 0,8V

Ich úlohou je na sebe nezávislé uvoľňovanie výstupov oboch polovic dekódera (1G pre CS1 + 4 PROM a 2G pre CS1 + RAM). Pri normálnej činnosti ŠMS sa vyžaduje, aby výberové signály pamäti PROM boli uvoľnené len pri operácii čítania ($\overline{\text{MEMR}}$) a výberové signály pamäti RAM len pri aktivácii jedného zo signálov $\overline{\text{MEMR}}$, $\overline{\text{MEMW}}$ a $\overline{\text{HLDA}}$ (čítanie, zápis, čítanie do kanála DMA). Ak by sa mali uplatniť výberové signály z prídavného externého dekódera musí sa dekóder ŠMS zablokovať (snáď až na operáciu čítania DMA kanála), inak by mohlo dôjsť ku kolízii na dátovej zbernici. Pre blokovanie dekódera nemá ŠMS žiadne prostriedky. Rozširovateľ systému musí odrezat spoje vedúce na 1G a 2G a priviesť na ne uvoľňovacie signály zohľadňujúce požiadavky externej pamäti. Pri ich tvorbe možno využiť existujúce uvoľňovacie signály $\overline{\text{MEMR}}$ a $\overline{2G}$ vyvedené na systémový konektor (piny K50 a K49).

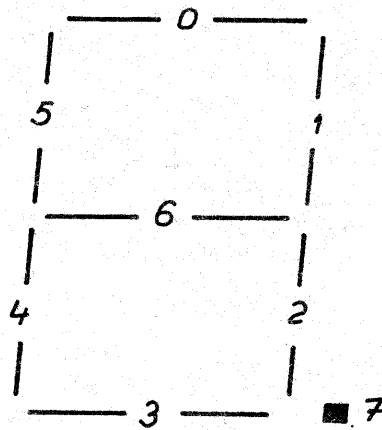
2.5 Displej

Pre zobrazenie dát na 8-miestnom 7-segmentovom displeji ŠMS je použitý opakovaný priamy prístup do pamäti (DMA). Dáta, ktoré sa majú vysvietiť na displeji, sa jednoducho zapíšu do vyhradených buniek pamäti (viď. obr. 2.5-1), odkiaľ ich hardver DMA periodicky vyberá a zobrazuje. Podrobná schéma displeja s kanálom DMA je na obr. 2.5-2 a časové priebehy signálov DMA sú na obr. 2.5-3. Základom činnosti kanála DMA je schopnosť procesora na základe žiadosti HOLD odpojiť dátovú a adresnú zbernicu a tým umožniť, aby prenos dát z pamäti alebo do pamäti riadil externý hardver. V prípade displeja ŠMS sa pri každom cykle DMA prenesie byte dát z pamäti do 8-bitového buffra (8212) jedného displejového prvku. Prúdovo zosilnené výstupy buffra sú priamo privedené na katódy displejových LED segmentov a po vybudení tranzistota spojeného so spoločnou anódou displejového prvku, vysvietia sa odpovedajúce segmenty. Zdrojom žiadosti HOLD je lineárny integrovaný obvod 555 (generátor časových značiek), ktorý za predpokladu, že jeho činnosť je povolená signálom $OC7=1$, generuje úzke impulzy v značne dlhých intervaloch (strieda 1:100). Šírka impulzu HOLD je približne 5 mikrosekúnd, čo dáva záruku jeho uplatnenia (trvá dlhšie ako 1 strojový cyklus 2,5 mikrosekúnd). Perióda žiadosti HOLD je rádovo 500 mikrosekúnd, z čoho vyplýva frekvencia obnovenia displejovej informácie - 250 Hz. Procesor potvrdzuje prijatie HOLD vybudením signálu HLDA a odpojením zberníc. Príchodom HLDA na vstup \overline{BUSEN} obvodu 8228 odpájajú sa i systémové zbernice (8228). Zároveň invertovaný signál HLDA (viď. obr. 2.4-1) sťahuje cez diódy D14 a D15 adresné bity A10, A11, do "0". Adresný bit A15 je naopak interným väzobným odporom hradla 74LS04 vytáhaný na "1" a výstup hradla tak svojou "0"-vou úrovňou vyberá hornú časť dekódera 74155

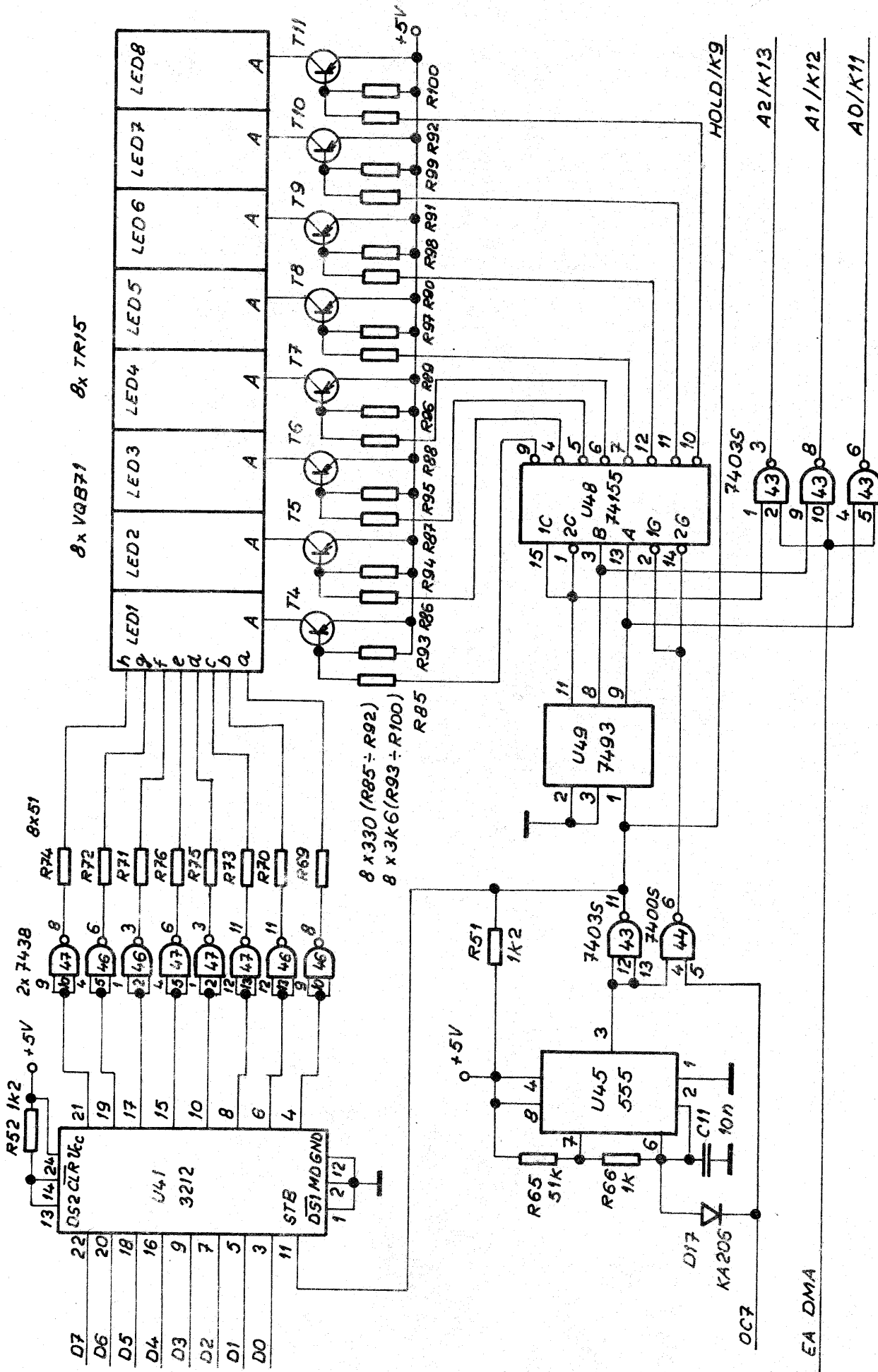
ADRESY OSEM MIESTNEHO SEDEM SEGMENTOVÉHO DISPLEJA



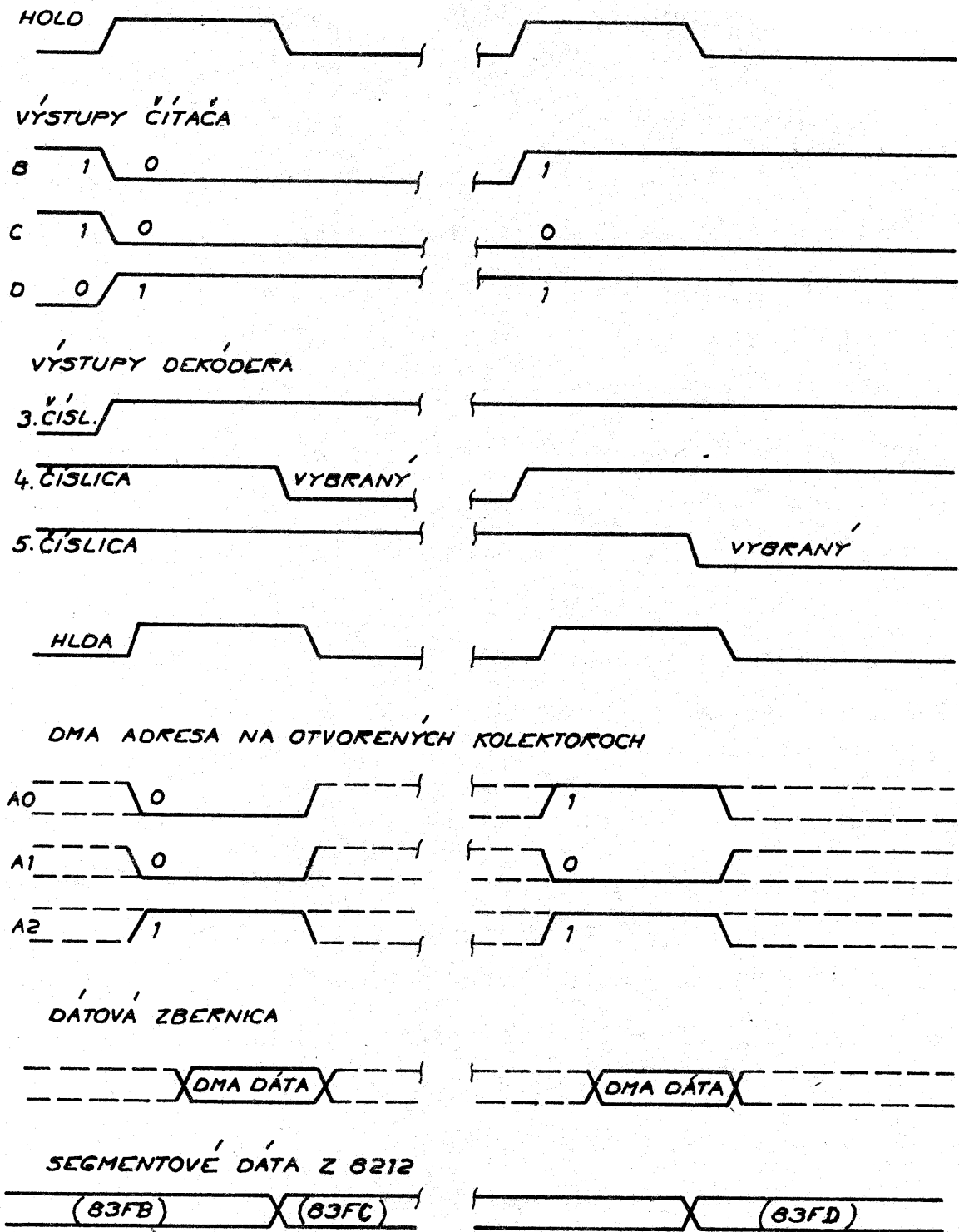
POZÍCIE BITOV V SEDEM SEGMENTOVOM DISPLEJI



OBR. 2.5-1 DISPLEJ ŠKOLSKÉHO MIKROPOČÍTAČOVÉHO SYSTÉMU.



OBR. 2.5-2 ZAPOJENIE DISPLEJA



OBR. 2.5-3 ČASOVÉ PRIEBEHY DMA KANÁLA

(výberové signály pamäti RAM). Nakoľko adresné bity A10, A11 sú počas HLDA v "0", a HLDA je súčtovaný i do povol'ovacieho signálu $\overline{2G}$, vyberie sa základná RAM (CS1). Adresné bity A9 - A3 sú odporami vyt'ahované na "1", takže adresujú 8 najvyšších buniek pamäti RAM. Adresné bity A2 - A0 sú počas HLDA ovládané hradlami s otvoreným kolektorom 7403, na vstupoch ktorých sa hradluje obsah čítača 7493. Tento je budený impulzami HOLD a jeho počítaním v cykle 8 sa postupne adresujú displejové bunky pamäti. Ich dáta sa prepisujú pri dobežnej hrane HOLD do buffra 8212, kde zostávajú nezmenené až do ďalšej dobežnej hrany HOLD, kedy sa prepíšu nové dáta z nasledujúcej pamäťovej bunky. Obsah čítača 7493 sa tiež používa na dekódovanie displejového prvku, ktorý sa má vysvietiť (pri danom stave čítača a tiež adrese pamäti). Dekóder 74155 (U48) vždy vyberie len jeden z budiacich tranzistorov T4 ÷ T11,

Počas HOLD (kedy je nezhoda adresy a dát) a pri zákaze zobrazenia "0" - ou na OC7 sa dekóder nepovoľuje, a preto sa nebudú žiadny displej. Kvôli jednoduchej diagnostike správnej činnosti kanálu DMA sa do HLDA hradluje RESET. Takto sa pri každom stlačení klávesy RESET spustí kanál DMA a na displeji sa vysvietia všetky segmenty, pretože stav odpojených zberníc obvodu 8212 vyhodnocuje ako "1"-ky. Signál povolenia zobrazenia je pri RESETE vyhodnocovaný tiež ako "1"-ka, keďže brány obvodu 8255 ≠ 0 sa pri ňom uvádzajú do výstupného režimu. Po rozbehnutí monitora sa displej najprv vymaže a potom sa naň vyšle odpovedajúca informácia. Pri programovaní obvodu 8255 ≠ 0 sa zobrazenie zakazuje, pretože pritom OC7 prechádza do "0", a o po vyslaní dát na displej monitor ponecháva zobrazenie povolené. Tento stav možno v ďalšom zmeniť iba užívateľskými inštrukciami. V tejto súvislosti, však, treba vziať na vedomie, že zobrazenie na displeji

sa nesmie striedavo povoľovať a zakazovať v intervaloch kratších než je perióda operácie DMA. Zakazom zobrazenia sa zablokuje obvod 555 a adresa sa nezmení okôr, než za 0,5 milisekundy po opätovnom povolení zobrazenia. Ak sa vydá povolovací signál príliš skoro po zakazovacom, nato sa opät' zruší a toto sa opakuje, nebude obvod 555 generovať žiadne impulzy. Napriek tomu bude jeden budič displeja počas časti periódy povolený. Následkom toho sa bude i pozícia displeja opakovane budiť s pracovným cyklom väčším než je únosné.

2.6. Číslicové vstupy a výstupy

2.6.1. Vstupno/výstupné obvody

Vstup a výstup z okolia systému sprostredkujú tri vstupno/výstupné obvody 8255. Každý V/V obvod 8255 (viď obr. 2.6-1) obsahuje 24 V/V bodov, ktoré možno použiť v troch režimoch práce a programovať v dvoch skupinách po dvanástich bitoch. V/V body sú do skupín A a B rozdelené nasledovne:

Skupina A - brána A

horná polovica brány C (bity 4+7)

Skupina B - brána B

dolná polovica brány C (bity 0+3)

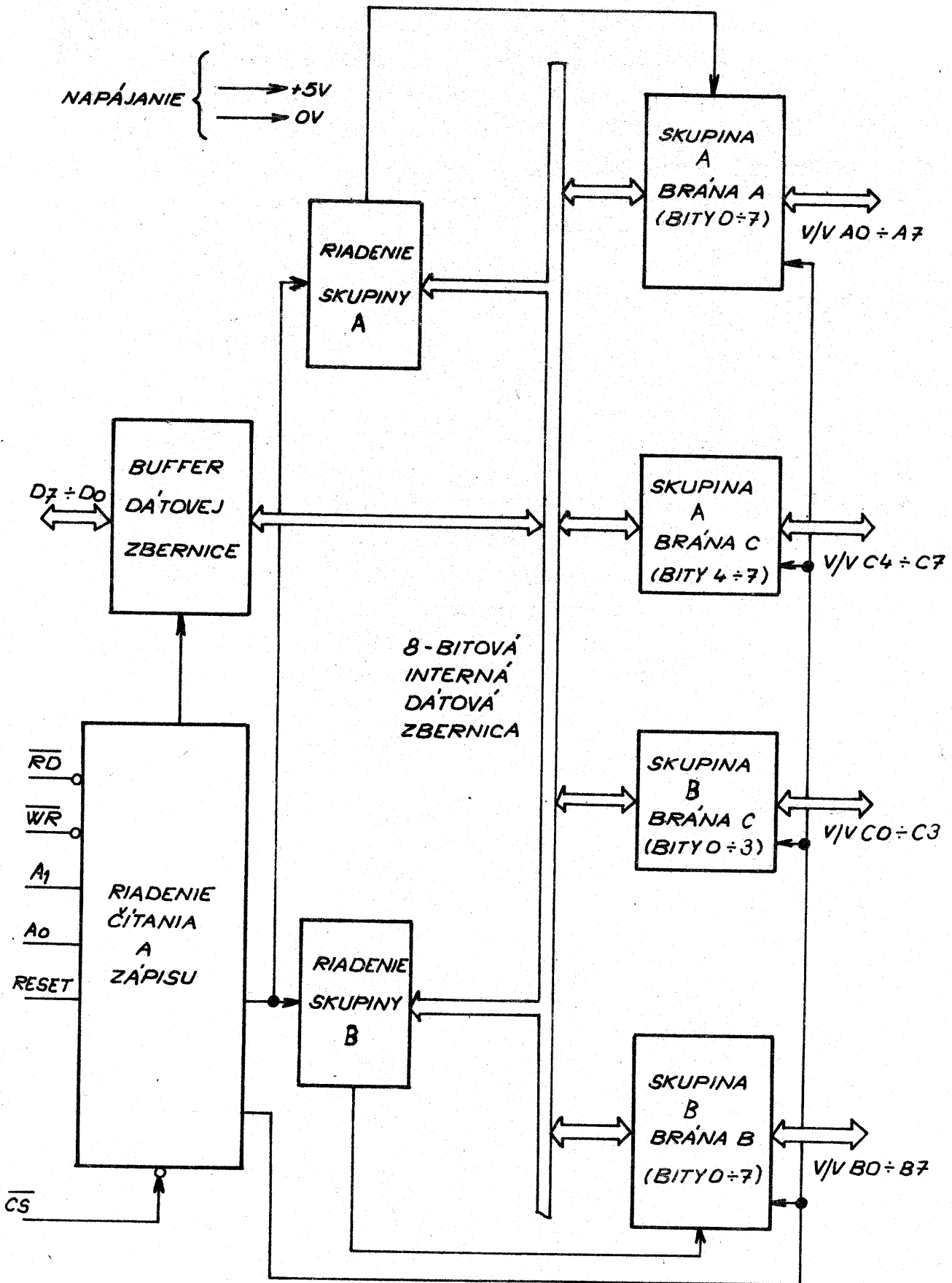
Poznámka:

Brána = port 8 bitový V/V register.

Režim práce jednotlivých brán sa definuje programovaním obvodu 8255. Robí sa to zápisom riadiaceho (programovacieho) bytu do riadiaceho registra (CNT) obvodu 8255 inštrukciou OUT. Po tomto sa obe skupiny inicializujú do požadovanej konfigurácie a v ďalšom ich možno sprístupňovať inštrukciami IN a OUT. Na adresáciu brán a riadiaceho registra sa používa dvojbitová adresa, ktorú obvykle tvoria adresné bity A0 a A1. Základné operácie obvodu 8255 možno popísať nasledovnou tabuľkou:

TAB. 2.6-1 ZÁKLADNÉ OPERÁCIE OBVODU 8255

A1	A0	\overline{RD}	\overline{WR}	\overline{CS}	VSTUPNÁ OPERÁCIA
0	0	0	1	0	BRÁNA A → DÁT. ZBERNICA
0	1	0	1	0	BRÁNA B → DÁT. ZBERNICA
1	0	0	1	0	BRÁNA C → DÁT. ZBERNICA
					VÝSTUPNÁ OPERÁCIA
0	0	1	0	0	DÁT. ZBERNICA → BRÁNA A
0	1	1	0	0	DÁT. ZBERNICA → BRÁNA B
1	0	1	0	0	DÁT. ZBERNICA → BRÁNA C
1	1	1	0	0	DÁT. ZBERNICA → RIAD. REG.
					INHIBITUJÚCA OPERÁCIA
X	X	X	X	1	DÁT. ZBERNICA → 3. STAV
1	1	0	1	0	NELEGÁLNY STAV
X	X	1	1	0	DÁT. ZBERNICA → 3. STAV



OBR. 26-1 BLOKOVÁ SCHÉMA OBVODU B 255.

Pri čítaní alebo zápise do brán A,B,C sa vykonáva paralelná operácia so všetkými ôsmimi bitmi brány. Na rozdiel od brán A a B možno bity brány C ovládať aj jednotlivo. Používa sa na to riadiaci byte, zapisovaný do riadiaceho registra CNT, ktorého najvyšší bit má hodnotu 0. Štruktúra tohto riadiaceho bytu je na obr. 2.6-2. Druhú skupinu riadiacich bytov predstavujú programovacie byty, ktoré určujú režim práce jednotlivých brán (viď obr. 2.6-3).

2.6.1.1. Popis režimov práce

Režim 0 - základné vstupy a výstupy

Brány A,B,C sú využité ako jednoduché vstupy a výstupy. Čítanie alebo zápis do brán sa vykoná okamžite pri použití vstupnej alebo výstupnej inštrukcie, t.j. neprebíha žiadna výmena riadiacich a stavových signálov. Celkovo možno použiť 16 kombinácií vstupov a výstupov (A,B,C0+C3, C4+C7). Časové priebehy a spínacie časy obvodu v režime 0 sú na obr. 2.6-4 a v tab. 2.6-3.

Režim 1 - strobované vstupy a výstupy

V tomto režime riadia vstup alebo výstup z brán A a B riadiace signály brány C, ktoré sú definované nasledovne:

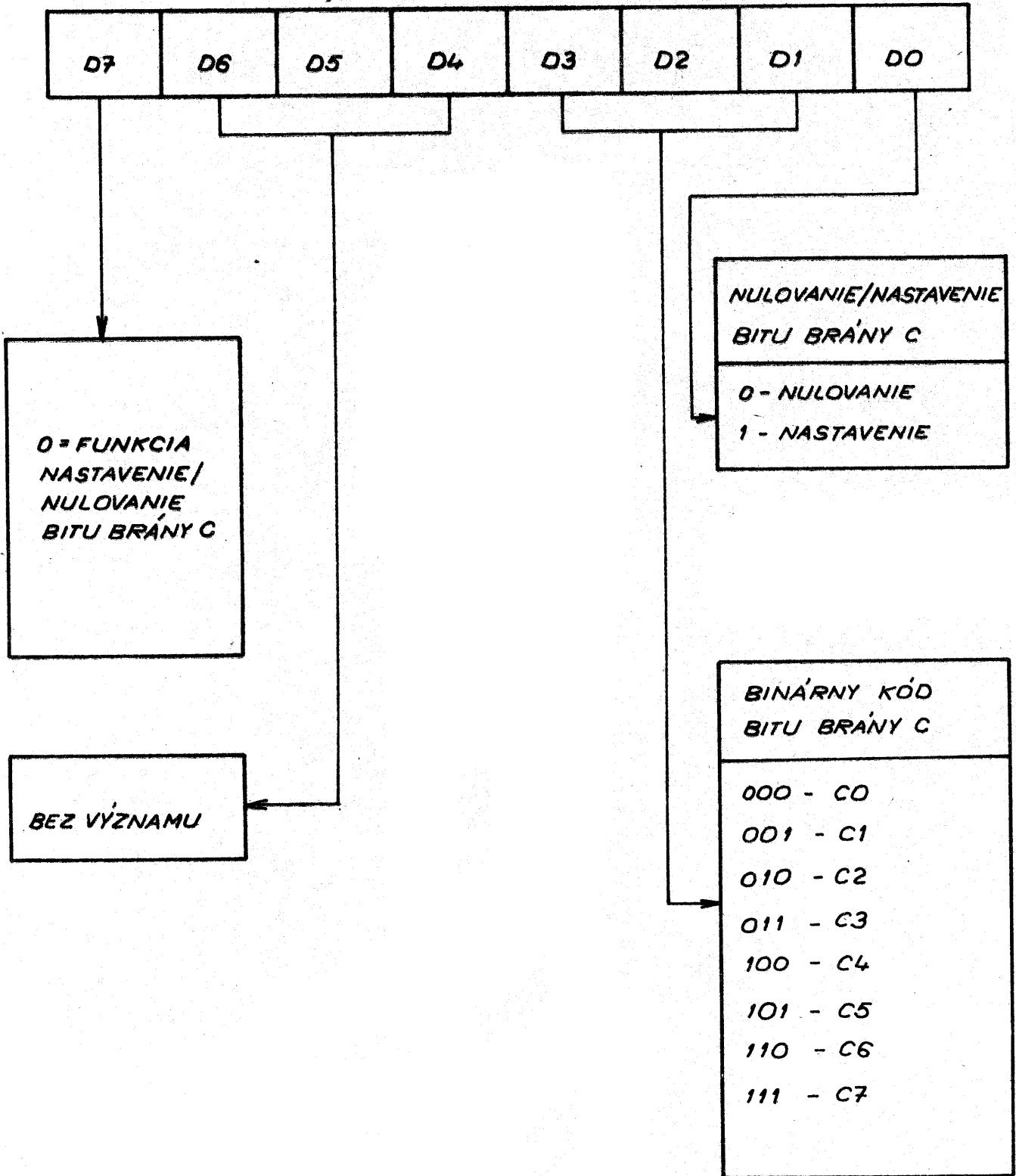
I. Riadenie vstupu

- \overline{STB} - strobovací signál vstupu dát (vstup)
- IBF - výstup indikujúci, že vstupný buffer brán A alebo B sa naplnil dátami vstupného zariadenia
- INTR - výstup žiadosti vstupného zariadenia o prerušenie. Na povolenie prerušovacích žiadostí má 8255 klopné obvody INTE, ktoré možno programovo ovládať cez riadiaci register obvodu 8255. Prerušenie sa nastavuje pri nábežnej hrane \overline{STB} , za predpokladu že $INTE=1$ a $IBF=1$, a nuluje dobežnou hranou \overline{RD} .

II. Riadenie výstupu

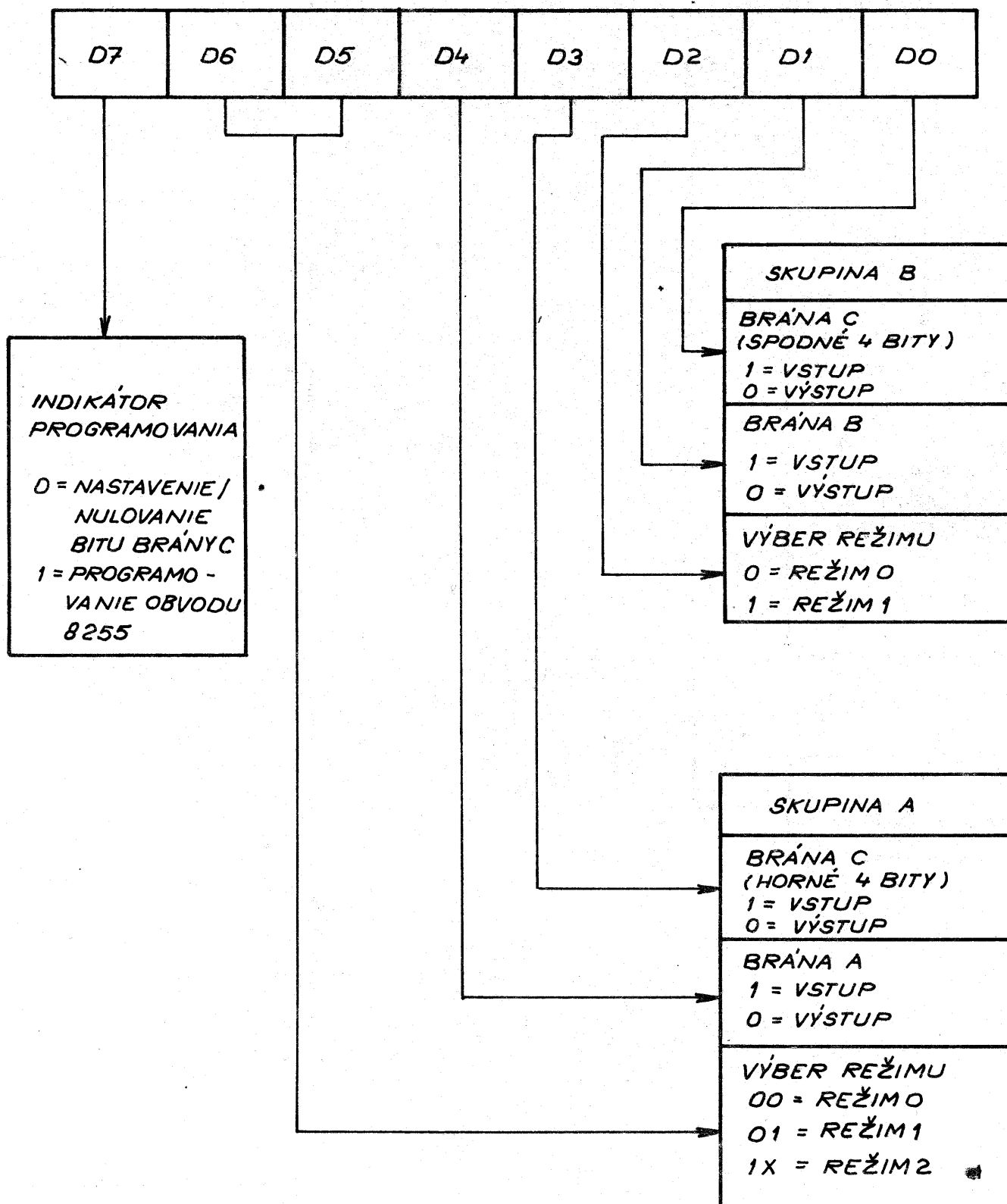
- \overline{OBF} - výstup indikujúci, že procesor zapísal dáta do brány A alebo B

ŠTRUKTÚRA RIADIACEHO BYTU PRE OVLÁDANIE BITU BRÁNY C



OBR. 2.6 - 2

ŠTRUKTÚRA RIADIACEHO BYTU PRE PROGRAMOVANIE OBVODU 8255



OBR. 2.6 - 3

- $\overline{\text{ACK}}$ - potvrdenie výstupného zariadenia, že prijal dáta vyslané procesorom, z brány A alebo B
- INTR - výstup, ktorý možno použiť na prerušenie procesora po prijatí dát výstupným zariadením. Prerušenie sa nastavuje pri $\overline{\text{ACK}}=1$, $\overline{\text{OBF}}=1$, $\overline{\text{INTE}}=1$ a nuluje dobežnou hranou $\overline{\text{WR}}$.

Klopné obvody povolenia prerušenia INTE možno riadiť funkciou nastavenie/nulovanie bitu brány C nasledovne:

Skupina A ($\overline{\text{INTE}}_A$)	Skupina B ($\overline{\text{INTE}}_B$)
Vstup - bit C4	Vstup - bit C2
Výstup - bit C6	Výstup - bit C2

Časové priebehy a spínacie časy obvodu 8255 v režime 1 sú na obr. 2.6-5 a v tab. 2.6-3.

Režim 2 - Strobovaná obojsmerná V/V zbernica

V tejto konfigurácii je brána A použitá pre vstup i výstup dát a bity C3+C7 brány C pre prenos riadiacich signálov obojsmernej komunikácie. Bránu B a zvyšné bity brány C možno použiť v režime 0 alebo 1. Sekvencia riadiacich signálov je obdobná ako v režime 1, výstup prerušení je však súčtovný a spoločná žiadosť vyvedená na výstup C3. Na povolenie prerušenia od vstupu a výstupu sú k dispozícii dva klopné obvody INTE, ktoré možno opäť oddelene riadiť funkciou nulovanie/nastavenie bitu brány C. Povolenie výstupu ($\overline{\text{INTE}}_A$ - spojený s $\overline{\text{OBF}}$) možno programovo ovplyvňovať nastavením/nulovaním bitu C6 a povolenie vstupu ($\overline{\text{INTE}}_B$ - spojený s $\overline{\text{IBF}}$) obdobne cez bit C4. Časové priebehy a spínacie časy v režime 2 sú na obr. 2.6-6. a v tab. 2.6-3.

Prehľad pridelenia jednotlivých bitov v rôznych režimoch práce je v tab. 2.6-2. Režimy práce brán sa dajú kombinovať a zvyšné (nepoužitú) bity brány C možno použiť nasledovne:

Ak je trána C naprogramovaná pre vstup-
Všetky vstupné bity možno sprístupniť obyčajným čítaním
trány C.

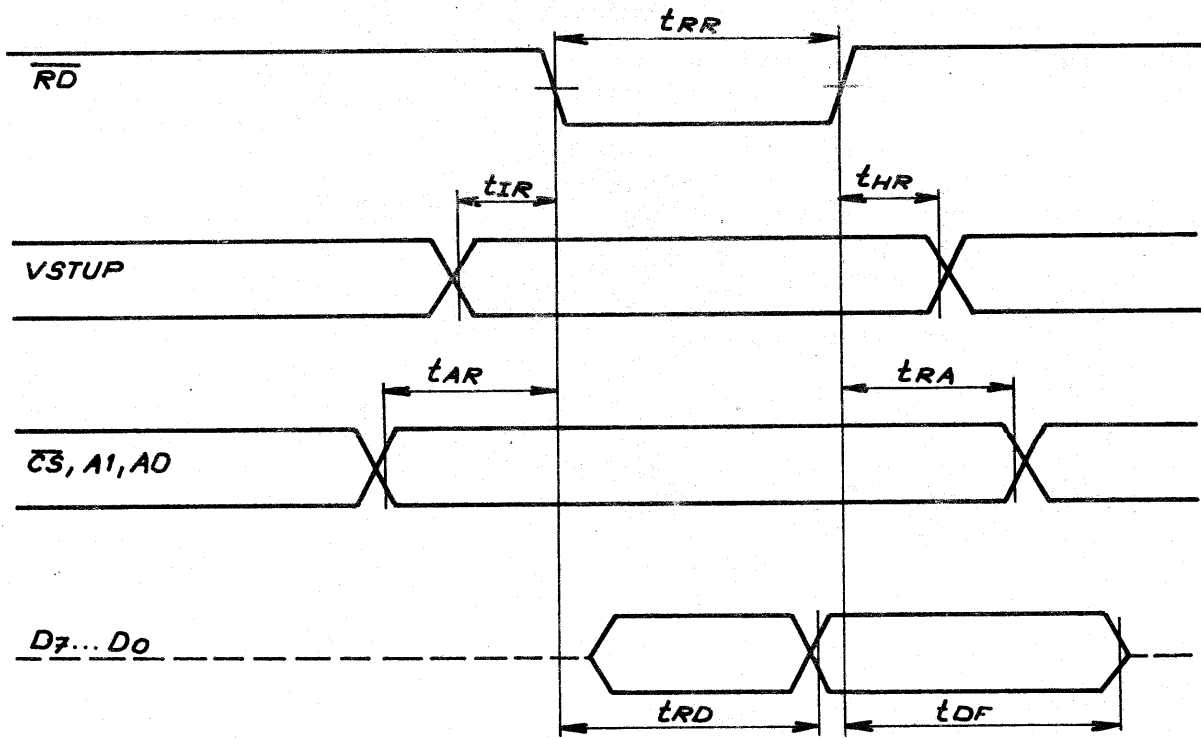
Ak je trána C naprogramovaná pre výstup-
Bity C4-C7 sa musia ovládať cez riadiaci register CNT.
Bity C0-C3 sa môžu ovládať cez riadiaci register CNT,
aleto trojtitevým zápisom do trány C.

TAB. 2.6-2 Prehľad definícií režimov práce obvodu 8255

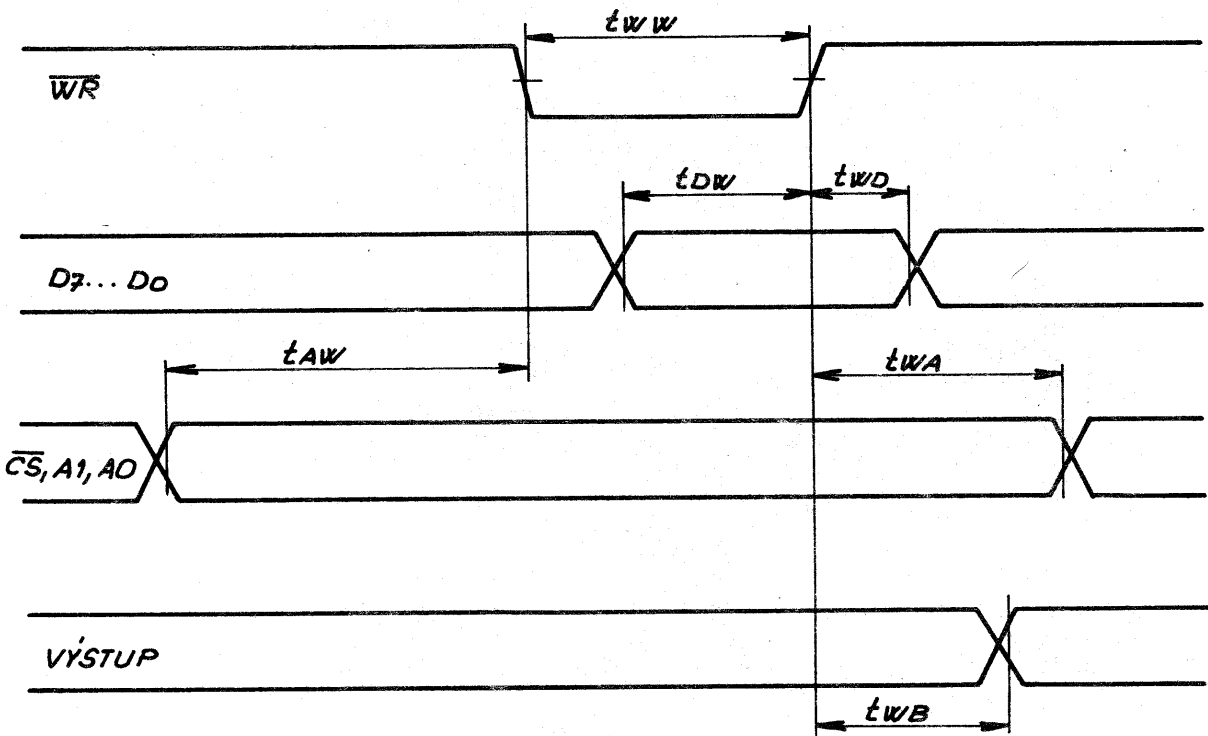
Bit	Režim 0			Režim 1			Režim 2
	IN	OUT		IN	OUT		Iba skupina A
A0	IN	OUT		IN	OUT		↔
A1	IN	OUT		IN	OUT		↔
A2	IN	OUT		IN	OUT		↔
A3	IN	OUT		IN	OUT		↔
A4	IN	OUT		IN	OUT		↔
A5	IN	OUT		IN	OUT		↔
A6	IN	OUT		IN	OUT		↔
A7	IN	OUT		IN	OUT		↔
B0	IN	OUT		IN	OUT		Možno použiť iba režimy 0 a 1
B1	IN	OUT		IN	OUT		
B2	IN	OUT		IN	OUT		
B3	IN	OUT		IN	OUT		
B4	IN	OUT		IN	OUT		
B5	IN	OUT		IN	OUT		
B6	IN	OUT		IN	OUT		
B7	IN	OUT		IN	OUT		
C0	IN	OUT		$\overline{\text{INTR}}_B$	$\overline{\text{INTR}}_B$		I/O
C1	IN	OUT		$\overline{\text{IBF}}_B$	$\overline{\text{OBF}}_B$		I/O
C2	IN	OUT		$\overline{\text{STB}}_B$	$\overline{\text{ACK}}_B$		I/O
C3	IN	OUT		$\overline{\text{INTR}}_A$	$\overline{\text{INTR}}_A$		$\overline{\text{INTR}}_A$
C4	IN	OUT		$\overline{\text{STB}}_A$	I/O		$\overline{\text{STB}}_A$
C5	IN	OUT		$\overline{\text{IBF}}_A$	I/O		$\overline{\text{IBF}}_A$
C6	IN	OUT		I/O	$\overline{\text{ACK}}_A$		$\overline{\text{ACK}}_A$
C7	IN	OUT		I/O	$\overline{\text{OBF}}_A$		$\overline{\text{OBF}}_A$

Poznámka:

IN = VSTUP, OUT = VÝSTUP, I/O = VSTUP/VÝSTUP

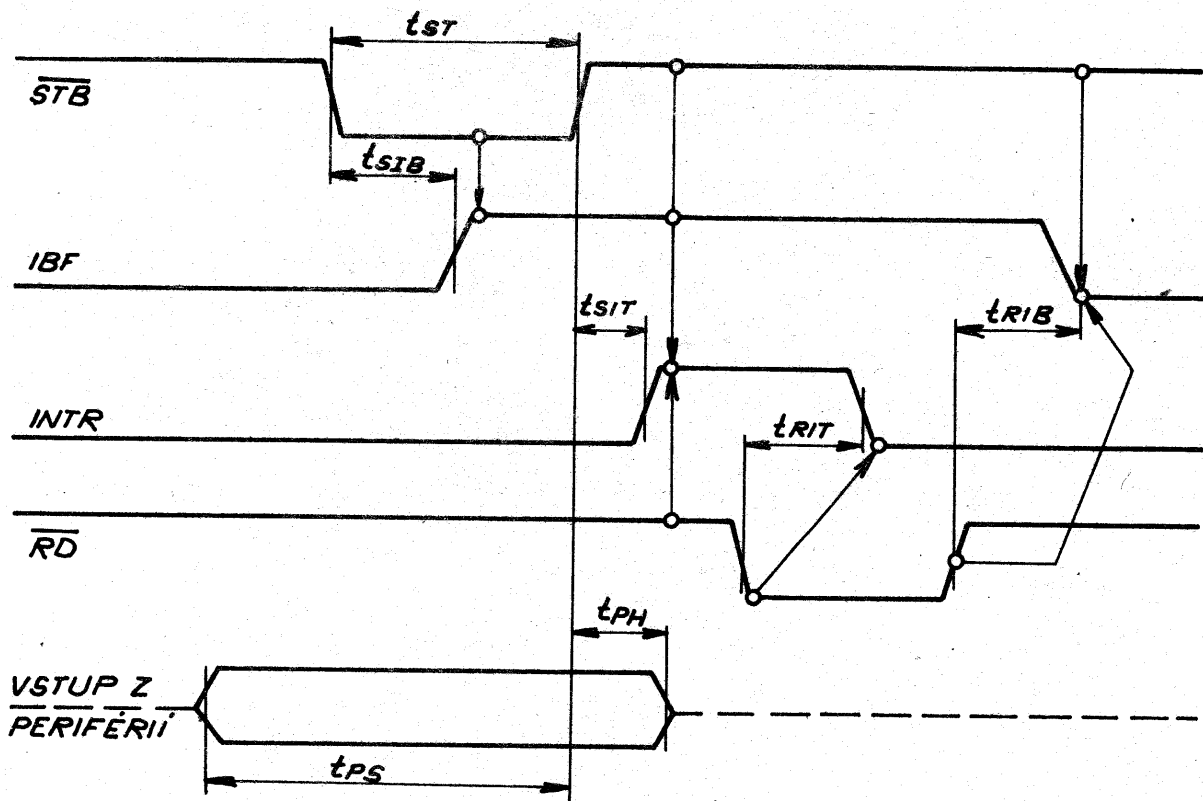


REŽIM 0 (ZÁKLADNÝ VSTUP)

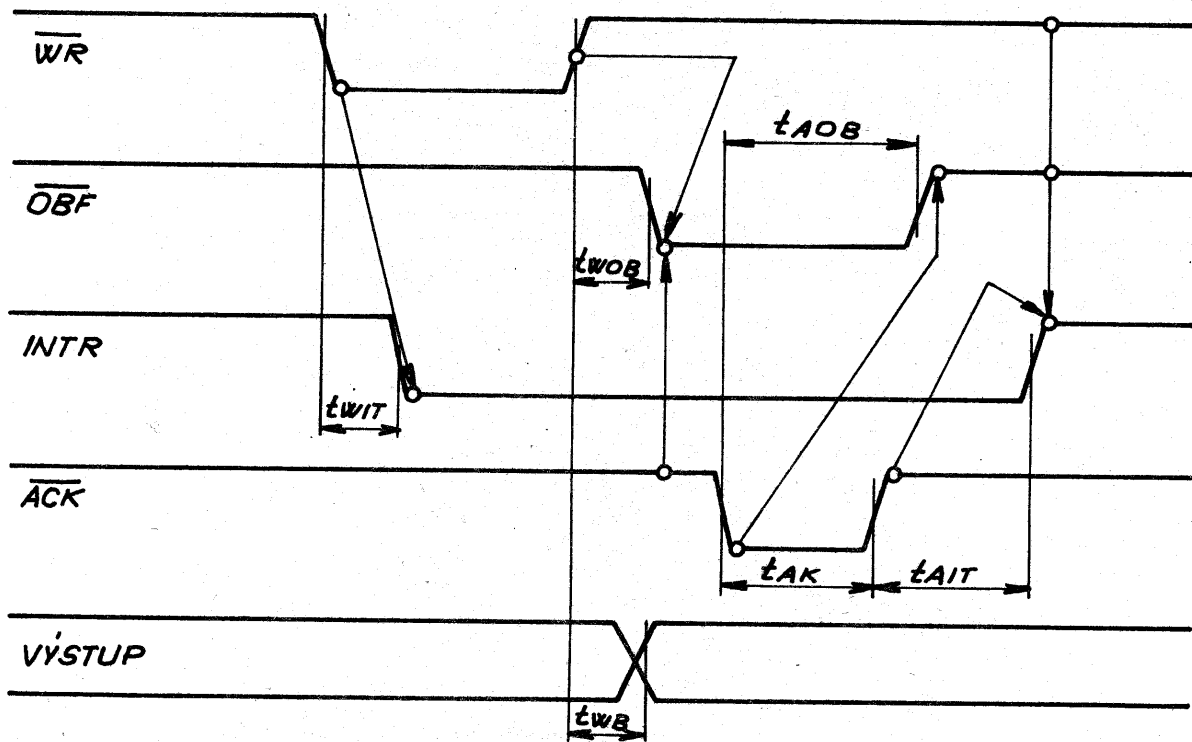


REŽIM 0 (ZÁKLADNÝ VÝSTUP)

OBR. 2.6 - 4 ČASOVÉ PRIEBEHY 8255 V REŽIME ϕ .

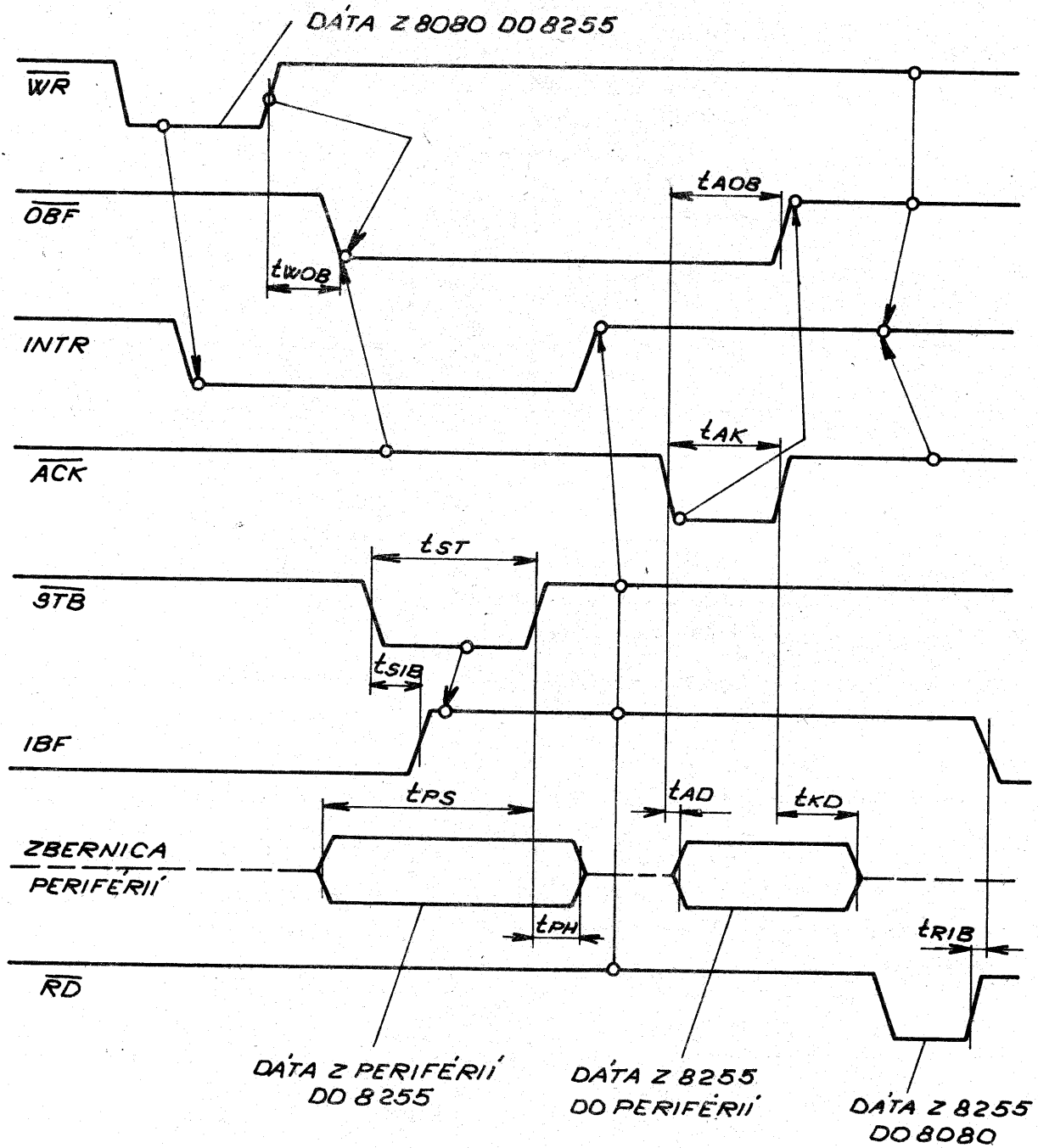


REŽIM 1 (STROBOVANÝ VSTUP)



REŽIM 1 (STROBOVANÝ VÝSTUP)

DBR. 2.6 - 5 ČASOVÉ PRIEBEHY 8255 V REŽIME 1.



REŽIM 2 (DVOJSMERNÝ VSTUP/VÝSTUP)

OBR. 2.6-6 ČASOVÉ PRIEBEHY 8255 V REŽIME 2.

Spínacie časy V/V obvodu 8255

Symbol	Parameter	Hodnoty v nsek.		
		min.	max.	typ
t_{AR}	Predstih adresy pred \overline{READ}	0		240
t_{RA}	Podržanie adresy po \overline{READ}	0		530
t_{RR}	Šírka \overline{READ}	300		720
t_{RD}	Oneskorenie platností dát od \overline{READ}		250	
t_{DF}	Odpojenie dátovej zbernice po \overline{READ}	10	150	
t_{RV}	Čas medzi čítaniami alebo zápsmi	850		
t_{AW}	Predstih adresy pred \overline{WRITE}	0		810
t_{WA}	Podržanie adresy po \overline{WRITE}	20		180
t_{WW}	Šírka \overline{WRITE}	400		490
t_{DW}	Predstih dát pred \overline{WRITE}	100		
t_{WD}	Podržanie dát po \overline{WRITE}	30		
t_{WB}	Oneskorenie výstupu po $\overline{WR} = 1$		350	
t_{IR}	Predstih dát periférie pred \overline{RD}	0		
t_{HR}	Podržanie dát periférie po \overline{RD}	0		
t_{AK}	Šírka impulzu potvrdenia \overline{ACK}	300		
t_{ST}	Šírka strobovacieho impulzu	500		
t_{PS}	Predstih periférnych dát voči \overline{STB}	0		
t_{PH}	Podržanie periférnych dát po \overline{STB}	180		
t_{AD}	Oneskorenie dát voči $\overline{ACK} = 0$		400	
t_{KD}	Oneskorenie plávajúceho stavu voči $\overline{ACK} = 1$	20	250	
t_{WOB}	Oneskorenie $\overline{OBF} = 0$ od $\overline{WR} = 1$		650	
t_{AOB}	Oneskorenie $\overline{OBF} = 1$ od $\overline{ACK} = 0$		350	
t_{SIB}	Oneskorenie $\overline{IBF} = 1$ od $\overline{STB} = 0$		300	
t_{RIB}	Oneskorenie $\overline{IBF} = 0$ od $\overline{RD} = 1$		300	
t_{RIT}	Oneskorenie $\overline{INTR} = 0$ od $\overline{RD} = 0$		400	
t_{SIT}	Oneskorenie $\overline{INTR} = 1$ od $\overline{STB} = 1$		300	
t_{AIT}	Oneskorenie $\overline{INTR} = 1$ od $\overline{ACK} = 1$		350	
t_{WIT}	Oneskorenie $\overline{INTR} = 0$ od $\overline{WR} = 0$		850	

2.6.2. Použitie V/V obvodov

Pripojenie V/V obvodov na systémové zbernice ŠMS je na obr. 2.6-7. Jednotlivé V/V obvody 8255 sú vyberané dekódérom 74LS139 a ich brány sa adresujú priamo adresnými bitmi A1 a A0. Okrem troch V/V obvodov 8255 dekóder vyberá ešte časovač 8253 a jeden výberový signál ($\overline{CS4}$) je nevyužitý. Možno ho použiť na pripojenie ďalšieho V/V obvodu. Zvyšnú časť dekódera využíva prerušovací systém na vyhradlovanie povolenia nulovania prerušení (RESEN).

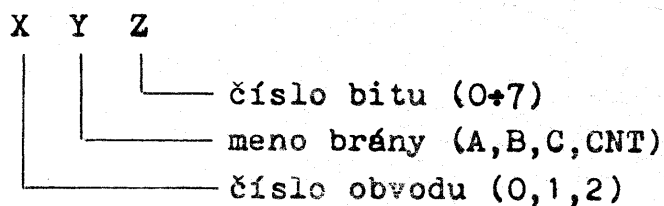
Pravdivostná tabuľka dekódovania:

A4	A3	A2	$\overline{CS4}$	$\overline{CS3}$	$\overline{CS2}$	$\overline{CS1}$	Vybraný obvod
X	X	0	1	1	1	1	8255 # 0
0	0	1	1	1	1	0	8255 # 1
0	1	1	1	1	0	1	8255 # 2
1	0	1	1	0	1	1	8253
1	1	1	0	1	1	1	

TAB. 2.6-4

Poznámka:

Na označovanie čísla V/V obvodu, jeho brán a jednotlivých bitov je v texte použitá nasledovná symbolika:

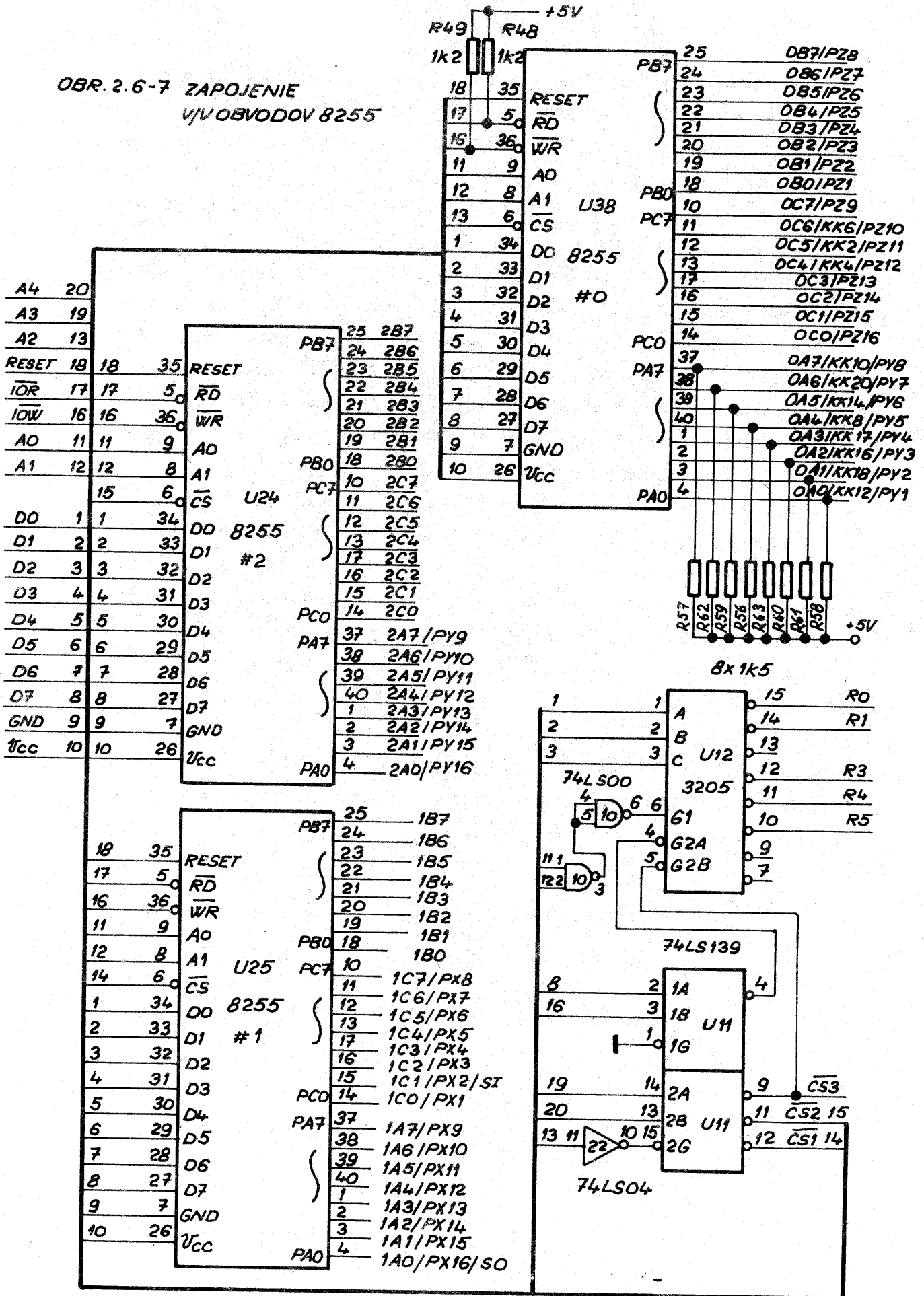


Príklad: 1A brána A obvodu 1 (všetkých 8 bitov)

2C2 bit 2 brány C obvodu 2

CNT \emptyset riadiaci register obvodu #0 (nemožno z neho čítať ani zapisovať doň po jednotlivých bitoch)

OBR. 2.6-7 ZAPOJENIE
VJV OBVODOV 8255



Adresy a pridelenie brán V/V obvodov je v tab. 2.6-5. Podrobný popis jednotlivých vstupov a výstupov nájdete v nasledujúcich kapitolách. Pri systémovom nulovaní klávesou RESET sa všetky brány všetkých obvodov 8255 automaticky nastaví pre vstup, režim 0. Monitorový program hneď na začiatku svojej činnosti rekonfiguruje obvod 8255#0, (0A,0B - vstup, 0C-výstup, režim 0), čo mu v ďalšom umožňuje riadiť vstup z klávesnice, výstup na displej a indikácie, činnosť monitorovej prerušovacej logiky a tiež vstup a výstup na magnetofón. Ďalšie 2 obvody 8255 monitor neprogramuje ani inak neovplyvňuje a ak užívateľ nepotrebuje meniť ich konfiguráciu (vstupný režim 0 vynútený RESET-om), nemusí ich programovať. Pre správnu činnosť prerušovacieho systému sa však musí brána 2B naprogramovať pre vstup a brána 2C pre výstup (režim 0). Brána 1B, vyhradená pre analógový vstup a výstup, sa môže použiť v režime 0 a 1, ale pri automatickom A/Č prevode sa predpokladá režim 0. Režim 1 a 2 je vhodný pre bránu 1A. Prerušenie generované v týchto režimoch je priamo privedené a tiež maskované v prerušovacom systéme. Prakticky použiteľné konfigurácie V/V obvodov 8255 (bez zásahu do hardveru a monitora) v režime 0 sú uvedené v tab. 2.6-6.

Poznámka:

Tabuľka 2.6-6 zahrňuje iba konfigurácie v režime 0. Tieto je možné kombinovať s konfiguráciami obvodu 8255#1 v režimoch 1 a 2.

Adresy a pridelenie brán V/V obvodov

Adresa	Meno	Funkcia	Bity brán OB, OC, 1C
00	0A	Vstup klávesnice	OBO-vstup z kazetového modemu
01	0B	Nepridelené s výnimkou OBO	OCO-výstup na kazetový modem
02	0C	Pozri stípec napravo	OC1-povolenie monitor. prerušení
03	CNTØ	Riadiaca brána 8255 0	OC2-výstup indikácie CY
04	1A	LED indikácie a budiče	OC3-výstup indikácie Z
05	1B	A/Č a Č/A prevodník	OC4-povolenie kláves 0+7
06	1C	Pozri stípec napravo	OC5-povolenie kláves 8+F
07	CNT1	Riadiaca brána 8255 1	OC6-povolenie príkazových kláves
0C	2A	Nepridelené	OC7-povolenie zobrazenia
0D	2B	Stavový byte prerušenia	1C0-riadenie A/Č ("1"=automatický A/Č)
0E	2C	Povoľovací byte prerušenia	1C1-povolenie budenia motora
0F	CNT2	Riadiaca brána 8255 2	1C2-nepridelené
14	TIMØ	Časovač 0	1C3-prerušenie (povoľované 2C6)
15	TIM1	Časovač 1	1C4+7 - nepridelené
16	TIM2	Časovač 2	
17	TIMCT	Riadiaca brána (register) časovača	

TAB. 2.6-5

TAB. 2.6-6 Riadiace byty pre programovanie obvodov 8255

Riadiaci byte	Brána A	Brána B	Brána C0-C3	Brána C4-C7	Použi s 8255		
					#0	#1	#2
80	OUT	OUT	OUT	OUT		Č/A	
81	OUT	OUT	IN	OUT		+	
82	OUT	IN	OUT	OUT		A/Č	*
83	OUT	IN	IN	OUT		A/Č	
88	OUT	OUT	OUT	IN		Č/A	
89	OUT	OUT	IN	IN		+	
8A	OUT	IN	OUT	IN		A/Č	
8B	OUT	IN	IN	IN		A/Č	
90	IN	OUT	OUT	OUT		Č/A	
91	IN	OUT	IN	OUT		+	
92	IN	IN	OUT	OUT	*	A/Č	*
93	IN	IN	IN	OUT		A/Č	
98	IN	OUT	OUT	IN		Č/A	
99	IN	OUT	IN	IN		+	
9A	IN	IN	OUT	IN		A/Č	
9B	IN	IN	IN	IN		A/Č	

Poznámka:

IN = vstup, OUT = výstup, A/Č = analógovo/číslícový prevod

Č/A = číslicovo/analógový prevod

+ ... zakázané konfigurácie

* ... používajte iba tieto konfigurácie (definujú štandardné operácie)

Príklad programovania obvodov 8255:

```
3E    MVI    A, 80    Riad. byte: A,B,C = výstup
80
D3    OUT    CNT 1    Výstup riadiaceho bytu
07                                na CNT 1
3E    MVI    A, 92    Riad. byte: A,B = vstup
92                                C = výstup
D3    OUT    CNT 2    Výstup riadiaceho bytu
0F                                na CNT 2
```

Po naprogramovaní obvodov 8255 možno z jednotlivých brán čítať alebo zapisovať do nich inštrukciami IN a OUT.

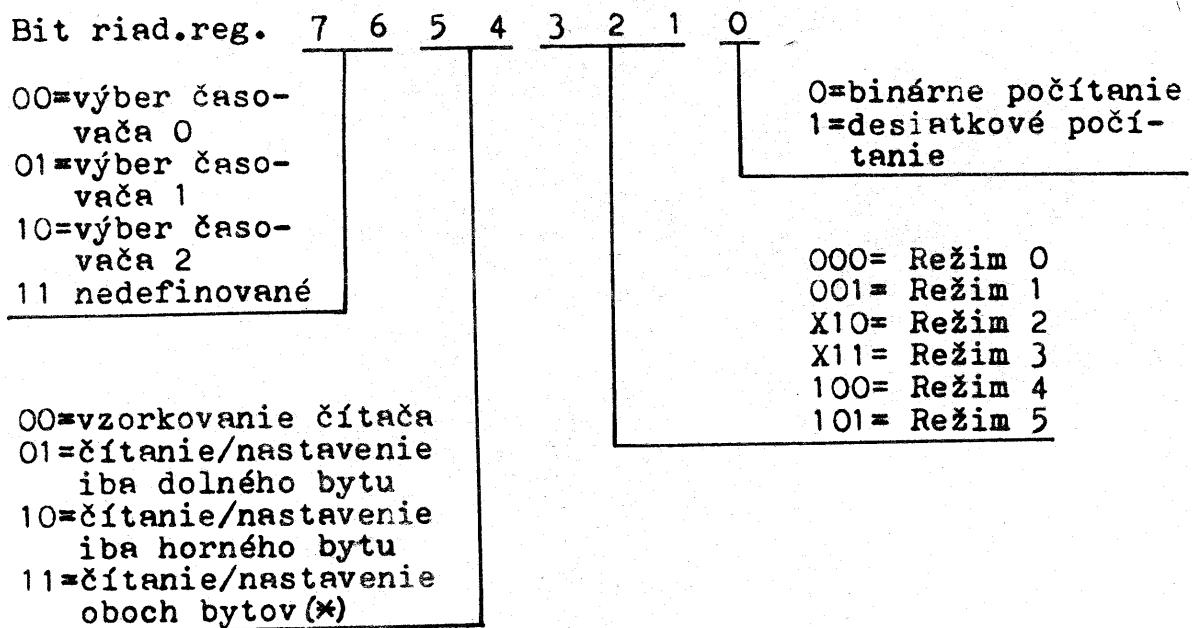
Príklad:

```
DB    IN    2A        Čítanie brány 2A
0C
3E    MVI    A, 80    Zápis 80 do
80                                brány 1A
D3    OUT    1A
04
3E    MVI    A, 01    Nastavenie 1CO = 1
01
D3    OUT    CNT 1
07
```

2.7. Časovač

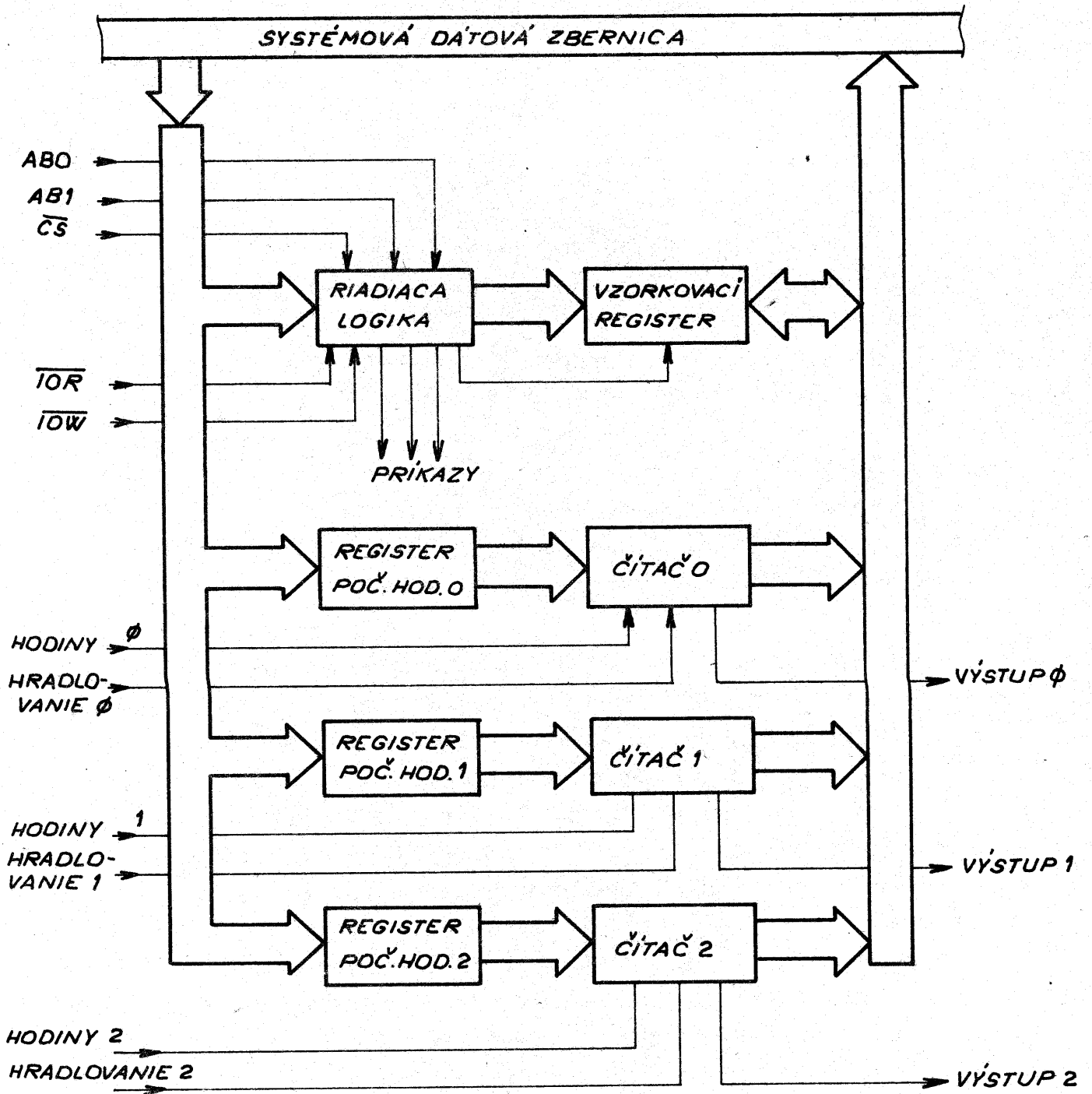
2.7.1. Popis a programovanie časovača 8253

V ŠMS použitý programovateľný časovač 8253 obsahuje 3 zhodné, nezávislé časovače so spoločnou riadiacou logikou viď obr. 2.7-1. Každý časovač sa skladá zo 16-bitového čítača, 16 bitového registra počiatocnej hodnoty a vlastnej hradlovacej logiky, ktorej úlohou je hradlovať vstup hodín čítača, nastavovať počiatocnú hodnotu čítača a generovať požadovaný výstup v závislosti na zvolenom režime časovača. Obvod 8253 poskytuje celkove 6 režimov práce, z ktorých každý môže byť použitý pre hocktorý časovač. Každý časovač sa programuje osobitne zápisom odpovedajúceho riadiaceho bytu do riadiaceho registra časovača (TIMCT). Štruktúra riadiaceho bytu je nasledovná:



(*)dolný byte ako prvý

Po naprogramovaní časovača treba nastaviť jeho register počiatocnej hodnoty. Pri tomto sa požadované dáta zapisujú priamo do registra počiatocnej hodnoty cez adresy jednotlivých časovačov. V ŠMS je použitá nasledovná adre-
sácia:



OBR. 2.7-1 BLOKOVÁ SCHEMA ČASOVAČA 8253.

Časovač	Adresa
T0	14
T1	15
T2	16
TIMCT (riad.reg.)	17

Typickú inicializáciu časovača si môžeme ilustrovať na nasledujúcej špecifikácii činnosti časovača 0:

MVI A,34	Programuj časovač 0 pre
OUT TIMCT	režim 2, s dvojbytovým
MVI A,20	čítaním/nastavovaním registra
OUT T0	počiatočnej hodnoty a binárnym
MVI A,OF	počítaním čítača T0.
OUT T0	Nastav počítací interval = OF20

Prehľad riadiacich bytov pre programovanie všetkých časovačov je v tab. 2.7-1. Po uložení počiatočnej hodnoty preberajú riadenie čítača jeho vlastné hodiny a hradlovací vstup. Na výstupe sa generuje zvláštny výstupný signál, ktorého priebeh je definovaný vyšpecifikovaným režimom a vkladacími vstupnými dátami. Výstup možno použiť rôznym spôsobom, napr. ako zdroj časovaných prerušení, generátor pomalých hodín pre externé obvody atď. Iný spôsob využitia časovačov poskytuje možnosť čítania obsahu čítačov v ľubovoľnom čase inštrukciami IN. Toto umožňuje merať časové intervaly medzi dvoma nasledovnými čítaniami obsahu čítača. Ak sa má inštrukcia IN použiť na čítanie počítajúceho čítača, je vhodné najprv obsah čítača ovzorkovať, čím sa zabráni čítaniu čítača v okamžiku jeho meniacich sa výstupov. Na vzorkovanie obsahu čítačov sa používajú osobitné riadiace byty (pre každý časovač) zapisované do riadiaceho registra inštrukciou OUT.

Príklad čítania počítajúceho čítača časovača 2:

MVI A,80	Vzorkuj a čítaj obsah
OUT TIMCT	čítača 2 a ulož ho
IN T2	do registrového páru HL
MOV L,A	
IN T2	
MOV H,A	

Časovač 0	Režim					
	0	1	2	3	4	5
Vzorkuj	00	00	00	00	00	00
Čítaj/nastav iba dolný byte	10	12	14	16	18	1A
Čítaj/nastav iba horný byte	20	22	24	26	28	2B
Čítaj/nastav oba byty (dolný byte ako prvý)	30	32	34	36	38	3A

Časovač 1	Režim					
	0	1	2	3	4	5
Vzorkuj	40	40	40	40	40	40
Čítaj/nastav iba dolný byte	50	52	54	56	58	5A
Čítaj/nastav iba horný byte	60	62	64	66	68	6A
Čítaj/nastav oba byty (dolný byte ako prvý)	70	72	74	76	78	7A

Časovač 2	Režim					
	0	1	2	3	4	5
Vzorkuj	80	80	80	80	80	80
Čítaj/nastav iba dolný byte	90	92	94	96	98	9A
Čítaj/nastav iba horný byte	A0	A2	A4	A6	A8	AA
Čítaj/nastav oba byty (dolný byte ako prvý)	B0	B2	B4	B6	B8	BA

Riadiace byty v tabuľkách platia pre binárne počítanie. Pre desiatkové počítanie treba pripočítať 1.

Riadiace byty zapisujte do riadiaceho registra časovača (TIMCT, adresa 17).

Vzorkovací príkaz nemá vplyv na naprogramovaný režim.

RIADIACE BYTY ČASOVAČA

2.7.2. Popis režimov časovača 8253

Jednotlivé režimy sa v zásade odlišujú v reakcii na hradlovací vstup a správaní sa výstupu. Účinnok hradlovania a časové relácie signálov sú na obr. 2.7-2,3,4 a v tab 2.7-2. Vo zvyšku tejto kapitoly si uvedieme podrobný popis režimov časovača. Všimnite si, že režimy 0 a 4 sú si s výnimkou opačného výstupného stavu počas počítania veľmi podobné. Pri nastavení časovača v oboch režimoch na tú istú počiatočnú hodnotu však zistíte, že prerušenie v režime 4 sa generuje o 1 hodinový interval neskôr ako v režime 0. Rovnaký vzťah je aj medzi režimami 1 a 5.

Režim 0 - Generátor prerušenia s programovým spúšťaním.

Čítač odpočítava hodinové impulzy od počiatočnej hodnoty smerom k nule po programovom nastavení a hardverovom odhradlovaní. Čítač pokračuje v odpočítavaní aj po prekročení nuly. Ak sa počas počítania časovača nastaví nová počiatočná hodnota, počítanie sa zastaví, výstup prejde do nuly a začne sa nové počítanie (hneď po vložení prvého bytu). Režim 0 je vhodný pre generovanie jednotlivých časových oneskorení alebo na časové merania, ktoré sú inicializované programovými alebo hardverovými udalosťami za predpokladu, že meraný čas je menší než čas odpovedajúci 16-bitovej kapacite čítača. Použitie režimu na meranie dĺžky externého signálu umožňuje hradlovací vstup, ktorý povoľuje počítanie len počas jeho jednotkovej úrovne.

Režim 1 - Generátor prerušenia s hardverovým spúšťaním.

Odpočítavanie hodinových impulzov od počiatočnej hodnoty smerom k nule inicializuje každá nábežná hrana hradlovacieho signálu, kedy sa zároveň nuluje výstup. Po dopočítaní prechádza výstup do "1" a nové počítanie odštartuje ďalšia nábežná hrana hradlovacieho signálu. Použitie režimu 1 je vhodné pri generovaní časového oneskorenia alebo meraní času, ktoré vyvoláva externá udalosť, zvlášť vtedy, ak je ňou krátky impulz.

Režim 2 - Generátor impulzov dopočítania s automatickým spúšťaním.

Po uložení počiatočnej hodnoty začne čítač opakovane odpočítavať vložený počítací interval a generovať impulzy (trvajúce práve 1 hodinový interval) počas jednotkového stavu čítača. Po dekrementácii čítača na nulu sa počiatočná hodnota doň nastavuje automaticky. Režim 2 je zvlášť vhodný na generovanie časových funkcií, pre ktoré nepostačuje 16-bitová kapacita čítačov (V ŠMS, používajúcom 2MHz-ové hodiny, to odpovedá 32 milisekundovému intervalu). Väčšie časy sa dosahujú pomocou softverových čítačov, ktoré počas obsluhy prerušenia od časovača inkrementujú svoje hodnoty a obvykle priamo predstavujú sekundy, minúty, hodiny, ... atď. Oneskorenie od programovej obsluhy prerušenia neovplyvňuje časovú konštantu počítacieho cyklu, pretože čítač po dosiahnutí nuly začína počítať odznova okamžite. Ak sa počas počítania vloží do registra počiatočnej hodnoty nová počiatočná hodnota, neovplyvní ho práve prebiehajúci cyklus so starou hodnotou, ale za ním nasledujúce cykly budú počítať už s novou hodnotou. Nulová úroveň hradlovacieho signálu zastavuje počítanie čítača a nábežná hrana hradlovacieho signálu štartuje počítanie čítača od počiatočnej hodnoty.

Režim 3 - Generátor obdĺžnikového signálu

Po uložení počiatočnej hodnoty začne čítač opakovane odpočítavať vložený počítací interval a generovať obdĺžnikový signál (so striedou 1:1). Výstup sa na začiatku každého počítacieho intervalu nastavuje na "1" a v polovici počítacieho cyklu prechádza do nuly (ak je počiatočná hodnota nepárnym číslom, "1"-vý výstup trvá o 1 hodinový interval dlhšie). Ak sa počas počítania vloží do registra počiatočnej hodnoty nová počiatočná hodnota, neovplyvní ho práve prebiehajúci polecyklus

so starou hodnotou, ale za nim nasledujúci polcyklus a ďalšie cykly budú počítat už s novou hodnotou. Hradlovací vstup zastavuje počítanie, ak je na ňom "0". Pri nábežnej hrane hradlovacieho signálu sa čítač rozbehne od počiatocnej hodnoty.

Režim 4 - Generátor impulzu dopočítania s programovým spustením. Čítač odpočítava hodinové impulzy od počiatocnej hodnoty smerom k nule po programovom nastavení a hardverovom odhradlovaní. Pri nulovom stave čítača výstup prechádza na 1 hodinový interval do nuly. Čítač pokračuje v počítaní, ale výstup ostáva v "1" až do ďalšieho nastavenia a dopočítania čítača. Ak sa počas počítania vloží do registra počiatocnej hodnoty nová počiatocná hodnota, neovplyvní to práve prebiehajúci cyklus, ale hneď po dosiahnutí nuly, začne sa cyklus s novou počiatocnou hodnotou. Preto sa režim 4 zvlášť hodí na generovanie postupnosti oneskorení, ktorých dĺžka sa líši. Počítanie sa zastavuje pri nulovej hodnote hradlovacieho signálu.

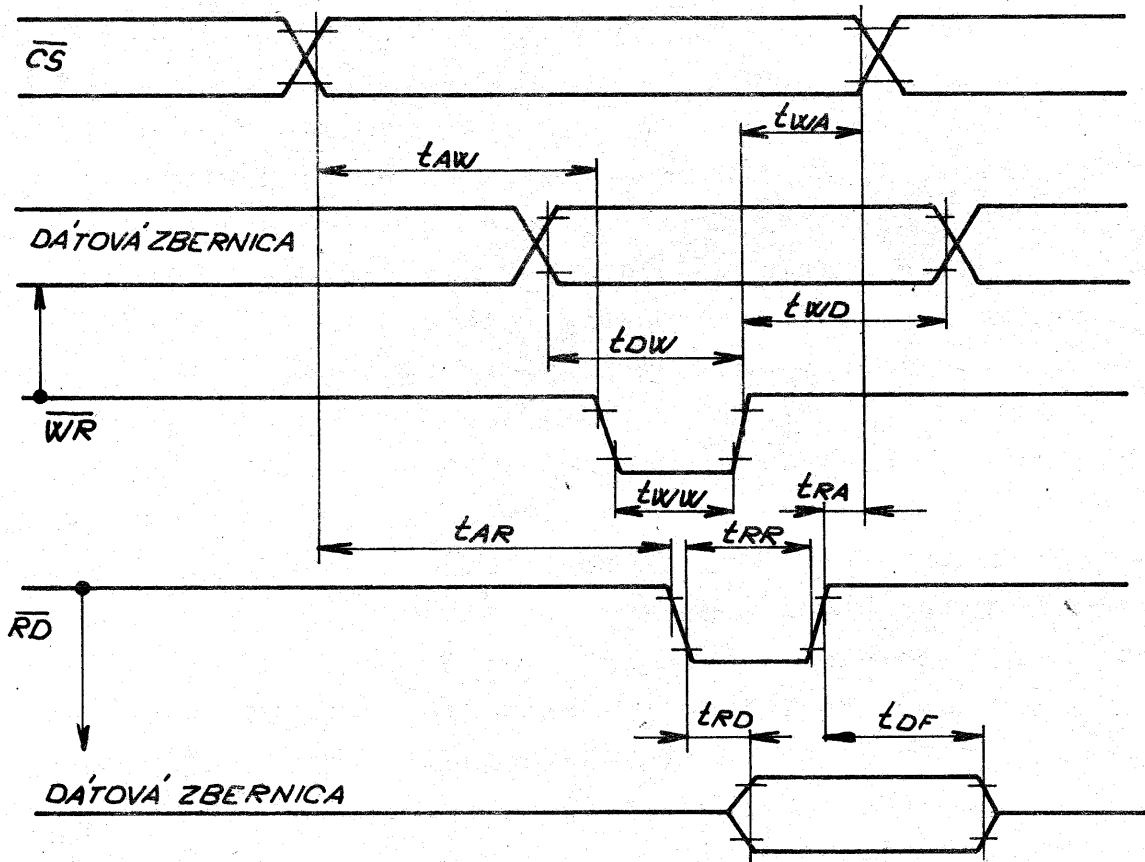
Režim 5 - Generátor impulzu dopočítania s hardverovým spúšťaním. Odpočítavanie hodinových impulzov od počiatocnej hodnoty smerom k nule inicializuje každá nábežná hrana hradlovacieho signálu. Výstup nadobúda "1" po naprogramovaní režimu, "0" pri nulovom stave čítača a "1" o jeden hodinový interval neskôr. Ak sa počas počítania vloží do registra počiatocnej hodnoty nová počiatocná hodnota, neovplyvní to práve prebiehajúci cyklus. Nový cyklus s novou počiatocnou hodnotou začne vždy pri príchode nábežnej hrany hradlovacieho signálu.

2.7.3. Použitie časovačov v ŠMS

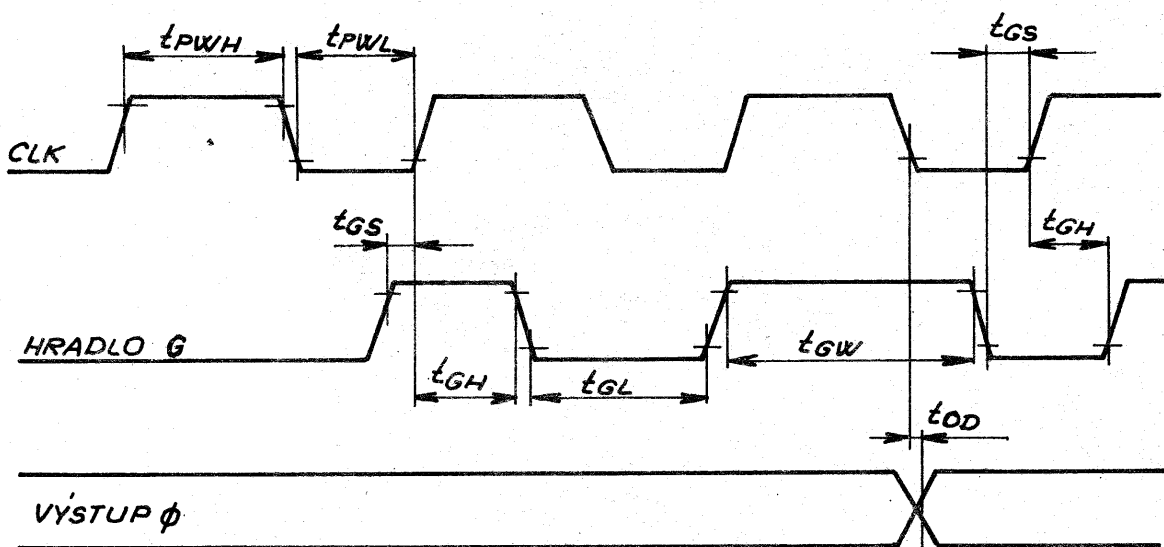
Zapojenie časovača v ŠMS je na obr. 2.7-5. Časovače 0 a 1 možno použiť úplne univerzálne, t.j. nemajú v systéme pevne vymedzenú funkciu. Na ich hodinové vstupy sú privedené 2 MHz-ové systémové hodiny \emptyset 2TTL, ale nakoľko sú vedené cez drátové prepojký napravo od obvodu 8253, možno na ne priviesť aj pomalšie hodiny. Prvá prepojka (zľava) spája hodi-

nový vstup časovača 1 s \emptyset 2TTL a druhá prepojka podobne hodinový vstup časovača 0 tiež s \emptyset 2TTL. Externé hodiny možno po odstránení prepojky priviesť na jej spodný bod. Zdrojom externých hodín môže byť ľubovoľný signál kompatibilný s TTL vstupom časovača, jeho frekvencia však nesmie presahovať 2 MHz. Hradlovacie vstupy časovačov 0 a 1 sú ošetrené na povoľovaciu úroveň ("1"), možno ich však riadiť externe, pretože sú vyvedené aj na kontaktové polia. Časovač 2 má na hodinový vstup tiež privedené systémové hodiny, avšak nie cez prepojku. Jeho hradlovací vstup je zapojený v obvode A/Č prevodníka, pretože časovač 2 sa využíva pri A/Č operáciách. Ak sa má časovač 2 použiť pre iné účely, musí sa jeho činnosť povoliť nastavením jeho hradlovacieho vstupu na "1". Toto dosiahnete nulovaním brány 1CO. Výstupy časovačov sú jednak vyvedené na kontaktové polia pre vonkajšie použitie, zároveň však vstupujú aj do prerušovacieho systému, kde sú zdrojmi prerušovacích žiadostí. Časovače 0 a 1 majú v prerušovacom systéme svoje záchytné klopné obvody prerušovacích žiadostí, uchovávajúce i veľmi krátko trvajúce prerušovacie žiadosti (polmikrosekundové impulzy), na obsluhu ktorých procesor zrovna nemusí mať čas, ale môže ju uskutočniť pri svojom uvoľnení. Časovač 2 nemá na uchovanie prerušenia záchytný obvod. Jeho výstup je priamo hradlovaný svojim povoľovacím signálom 2B3 a ďalej súčtovaný do spoločnej prerušovacej žiadosti INT, v ktorej sa prerušenie od časovača 2 môže uplatniť len počas jeho trvania (výstup T2="1").

PRIEBEHY ZÁPISU A ČÍTANIA



PRIEBEH HODÍN A HRADLOVANIA

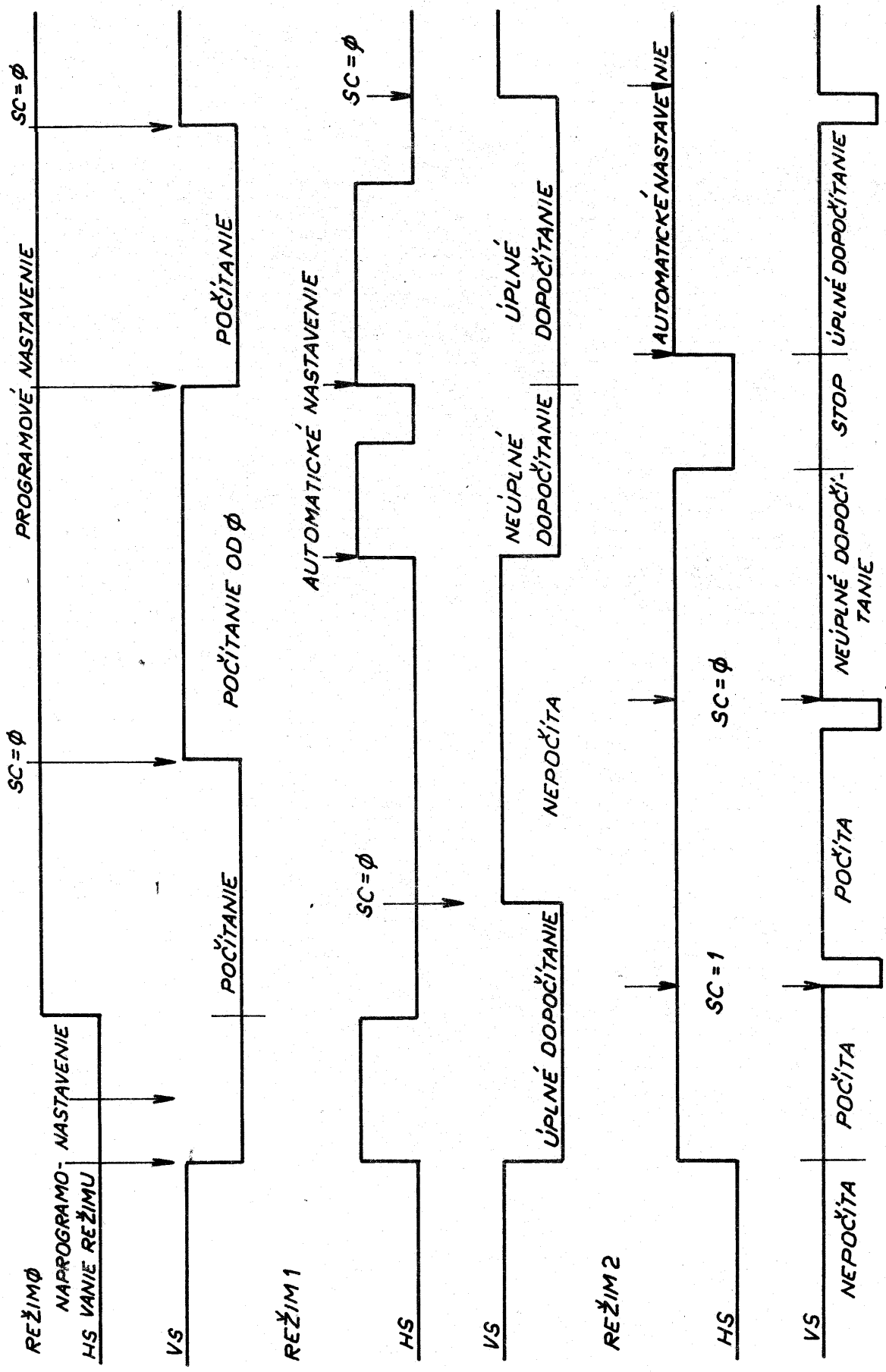


OBR. 2.7-2 ČASOVÉ PRIEBEHY OBVODU 8253.

Spínacie časy časovača 8253

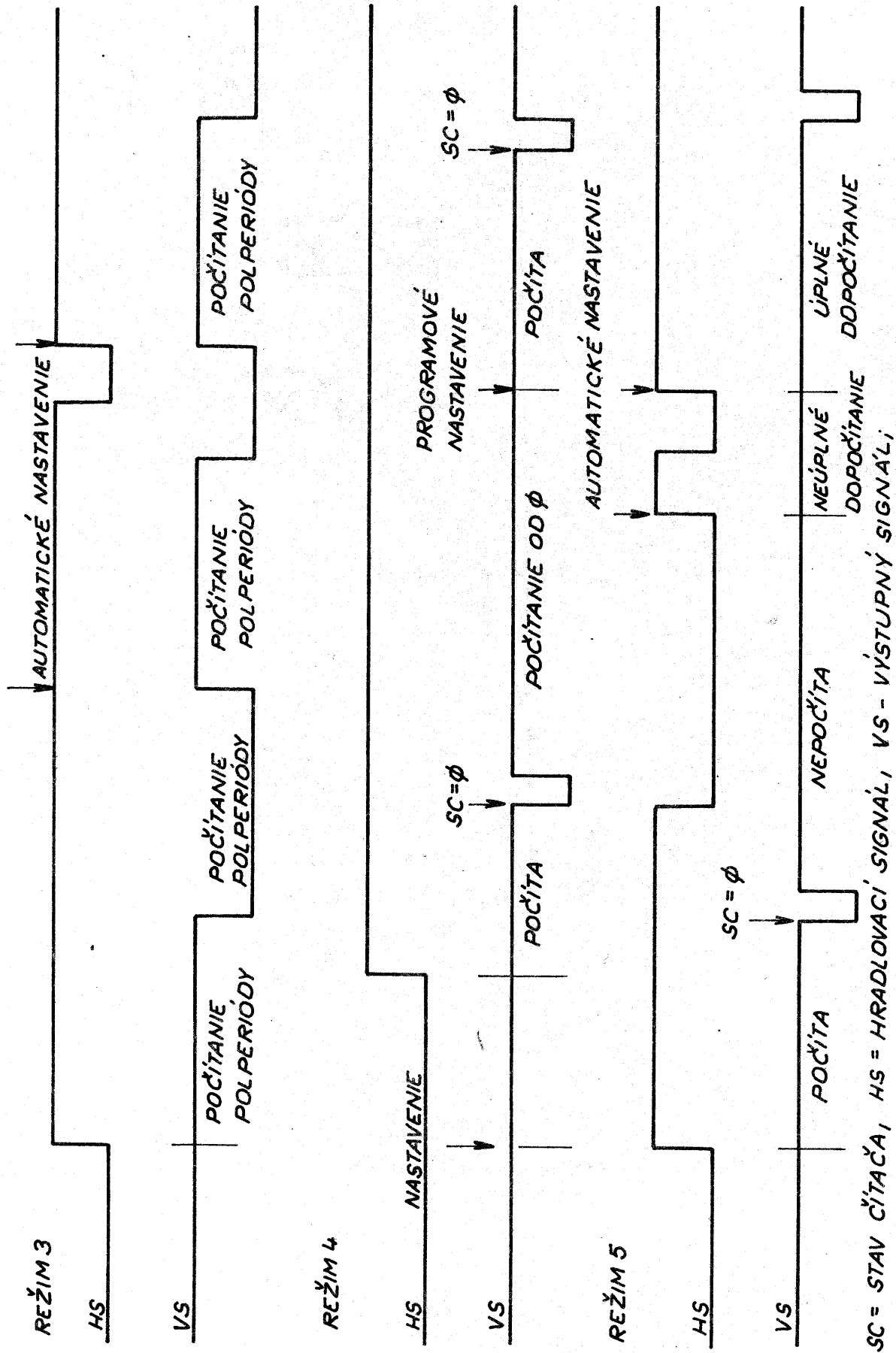
Symbol	Parameter	Hodnoty v nsek.		
		Min.	Max.	TYP
t_{AR}	Predstih adresy pred \overline{READ}	50		220
t_{RA}	Podržanie adresy po \overline{READ}	5		550
t_{RR}	Šírka impulzu \overline{READ}	420		720
t_{RD}	Oneskorenie výstupu dát		300	100
t_{DF}	Oneskorenie prechodu 3. stavu	25	200	
t_{AW}	Predstih adresy pred \overline{WRITE}	50		820
t_{WA}	Podržanie adresy po \overline{WRITE}	20		180
t_{WW}	Šírka impulzu \overline{WRITE}	400		490
t_{DW}	Predstih dát pred \overline{WRITE}	300		530
t_{WD}	Podržanie dát po \overline{WRITE}	40		550
t_{RW}	Čas zotavenia medzi zápsmi	1000		
t_{CLK}	Periódna hodín	300		490
t_{PWH}	Šírka hodín v "1"	200		244
t_{PWL}	Šírka hodín v "0"	100		228
t_{GW}	Šírka hradlovacieho impulzu	200		
t_{GS}	Predstih hradla pred nábehom hodín	150		
t_{GH}	Podržanie hradla po nábehu hodín	100		
t_{GL}	Šírka hradlovacieho impulzu v "0"	100		
t_{OD}	Oneskorenie výstupu do dobehnutia hodín		300	120

TAB. 2.7-2

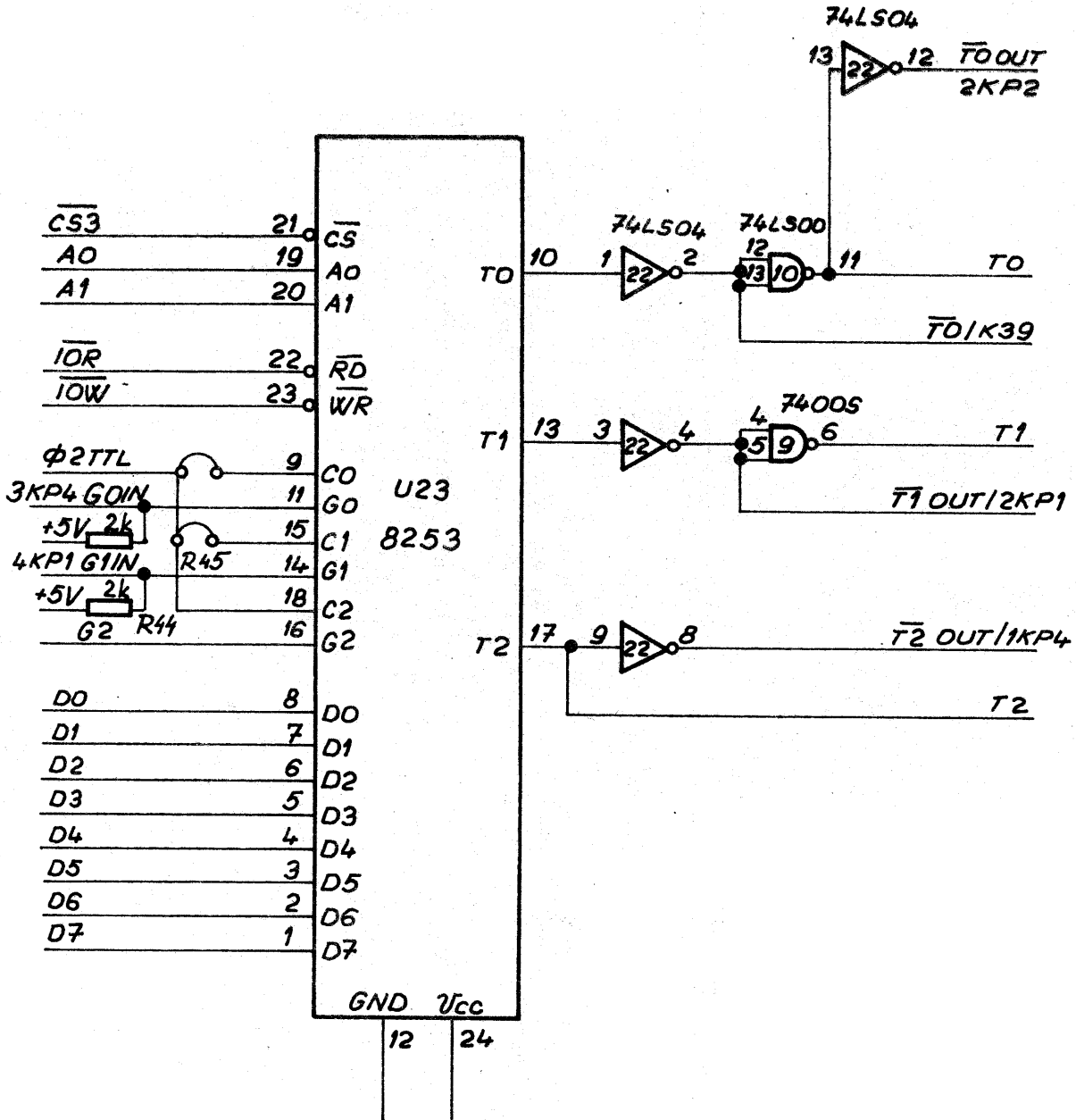


SC - STAV ČÍTAČA HS = HRADLOVACÍ SIGNÁL VS = VÝSTUPNÝ SIGNÁL

OBR. 2.7-3 ČASOVÉ PRIEBEHY ČASOVAČA V REŽIMOCH 0 ÷ 2.



OBR. 2.7-4 ČASOVÉ PRIEBEHY ČASOVAČA V REŽIMOCH 3 ÷ 5.



OBR. 2.7-5 SCHEMA ZAPOJENIA ČASOVAČA.

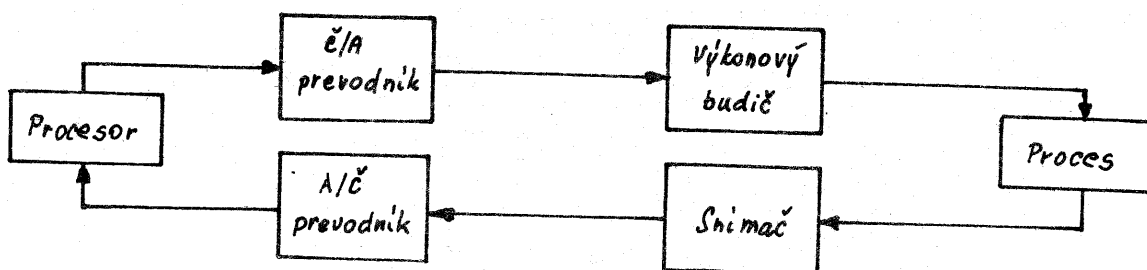
2.8. Analógový vstup a výstup

Riadená veličina musí byť pred spracovaním počítačom, ako ústredným členom, unifikovaná na tvar, ktorý je ním akceptovateľný - spracovateľný. Riadená veličina môže mať charakter spojitej (analógovej), nespojitej veličiny, popr. číslicový. ŠMS umožňuje prevod vstupných veličín do číslicovej formy a naopak na výstupe z číslicovej na analógovú výstupnú veličinu.

Hoci premenlivé napätie je jednou z najbežnejších analógových veličín, existujú ďalšie, z ktorých každá má pri vhodných podmienkach osobitné výhody. V ŠMS sa okrem analógového napätia (a veličín, v konečnom dôsledku spracovávaných ako analógové napätie) používajú ešte tieto analógové veličiny:

1. Frekvencia - vstup cez počítaadlo prerušení, výstup cez programovateľné časovače a V/V brány
2. Šírka alebo dĺžka impulzu - vstup i výstup pomocou programovateľných časovačov a V/V brán
3. Priamy viacbitový výstup - prostredníctvom výkonových budičov a LED indikácií brány 1A.

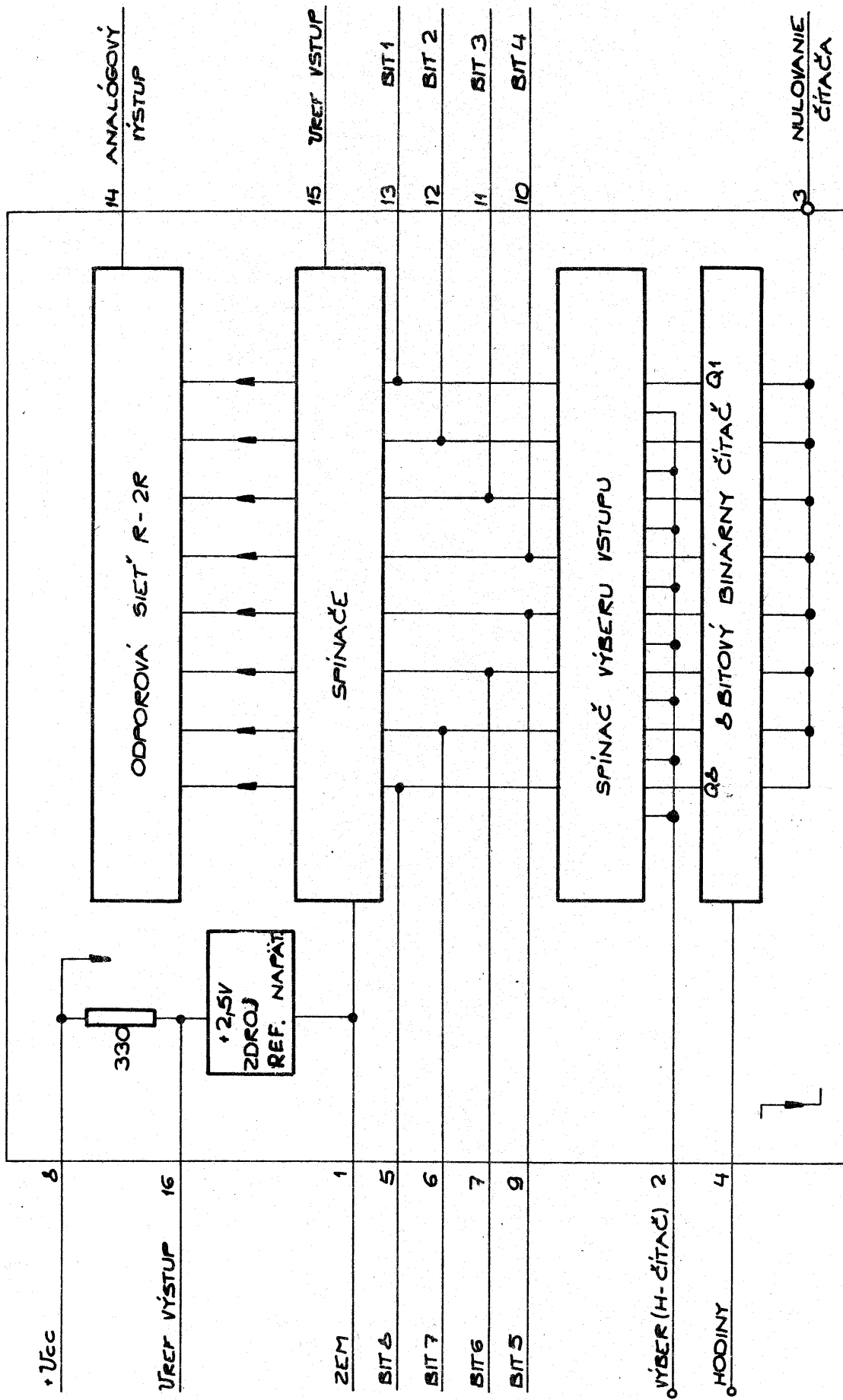
Typickou aplikáciou analógového vstupu a výstupu je riadiaci systém ovládajúci nejaký proces v uzavretej slučke, ktorá je tvorená nasledovnými členmi:



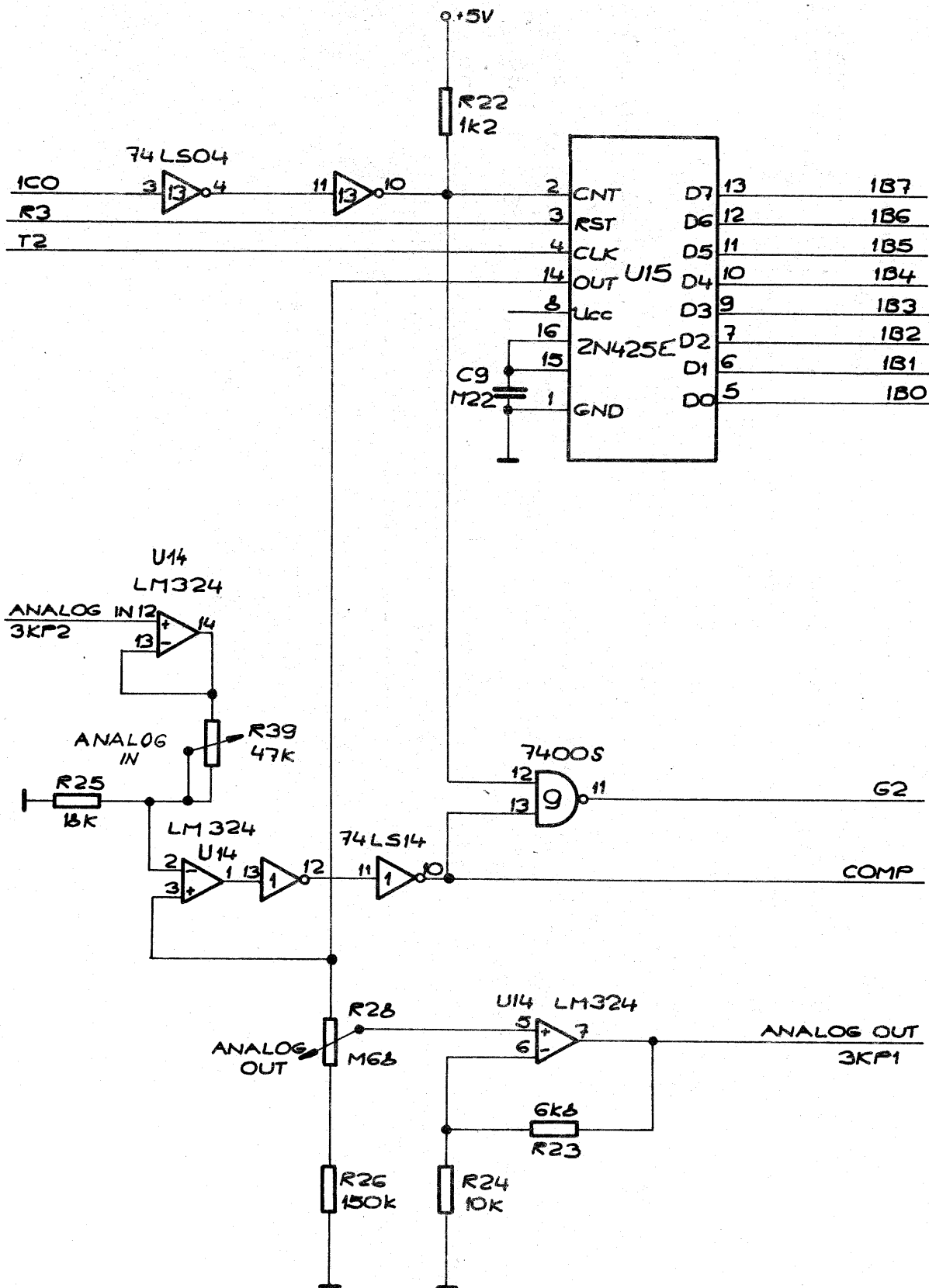
Na ŠMS možno zapojiť pomerne širokú škálu takýchto modelov a experimentovať s ich programovým zabezpečením /riadenieohrevu, chladenia, otáčok motora, frekvencie a dĺžky akustických signálov, atď./.

V tejto kapitole si popíšeme Č/A a A/Č prevodník napätia, ktorý je použitý na doske ŠMS. Jadrom prevodníka je integrovaný obvod ZN 425E, 8-bitový číslicovo/analogový prevodník, obsahujúci odporovú sieť typu R-2R, bipolárne opínače dátových vstupov, čítač komparačného napätia a 2,5-voltový zdroj referenč. napätia /viď obr.2.8-4/.

Doplňujúce obvody prevodníka ako i jeho napojenie na systém je na obr. 2.8-2. Brána 1B je použitá pre vstup a výstup číslicových dát a musí byť naprogramovaná tak, aby to odpovedalo požadovanému prevodu. Pri Č/A prevode sú na spínača odporovej siete pripojené výstupné dáta brány 1B a výstupy interného čítača musia byť zablokované "0"-vou úrovňou výberového signálu VÝBER. Výstupné analógové napätie nadobúda jednu z 256-ich diskretných hodnôt napätia /0mV, 10 mV, 20mV, ..., 2550mV/, ktorá je priamo úmerná binárnej hodnote na výstupe brány 1B. Jednosmerný posuv výstupného analógového napätia, závislý od teplotného koeficientu výstupného odporu $R_0 = 10k\Omega$, je menej než 0,004 %/°C. Kalibráciu výstupného analógového napätia umožňuje potenciometer ANALOG OUT, ktorý je zapojený v odporovom deliči na vstupe oddelovacieho operačného zosilňovača LM324. Napätový zisk operačného zosilňovača je určený pomerom odporov $R_{24}/R_{23} = 1,47$ a maximálne zoslabenie analógového výstupu ZN425E určuje pomer $R_{28}/R_{26} = 4,54$. Výstupný rozsah analógového napätia je takto 0,731-3,778 V, čomu približne odpovedá 3-15 mV/bit. Pri A/Č prevode sa výstupné analógové napätie obvodu ZN425E používa ako porovnávacie napätie voči vstupnému analógovému napätiu, ktoré je po oddelení napätovým sledovačom LM 324 a zoslabení potenciometrom ANALOG IN privedené na invertujúci vstup komparátora LM 324.



OBR. 2.6-1 BLOKOVÁ SCHÉMA PREVODNÍKA



OBR. 2.5-2 ZAPOJENIE ČJA A AČ LOGIKY

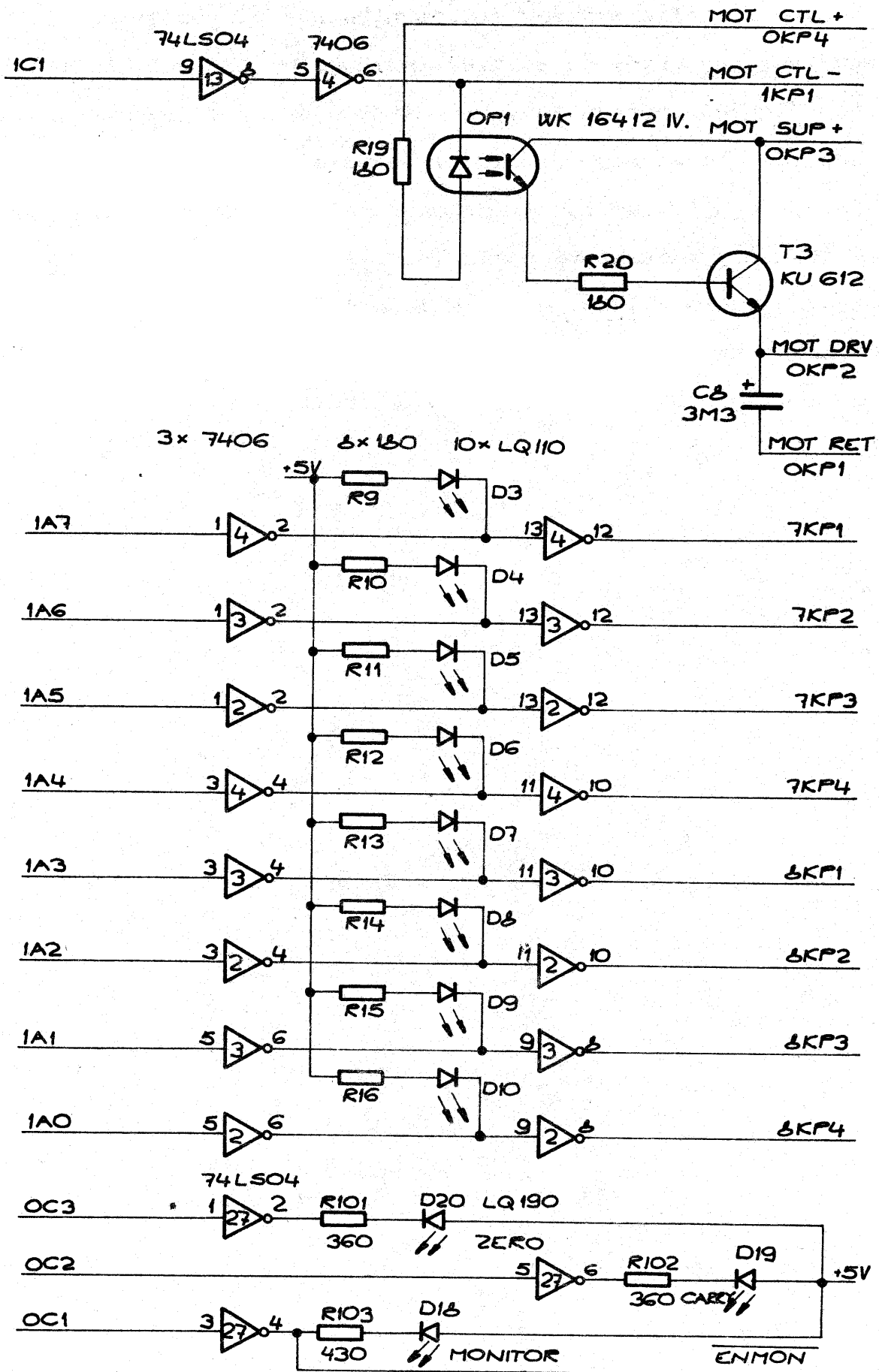
Rozsah vstupného analógového napätia je limitovaný napájacím napätím sledovača $+5V$, ktorý posúva použiteľné hodnoty vstupného napätia do oblasti $0-3,8V$. Útlm vstupného a analógového napätia možno nastaviť potenciometrom ANALOG IN. Pri vyradení odporu potenciometra R39, zostáva vstup nezoslabený, naopak, pri zväčšovaní odporu potenciometra sa vstupné napätie zoslabuje úmerne podielu odporov $R25/R39$. Maximálny útlm je 2,61 a maximálne napätie pri maximálnom útlme približne 1,4V.

2.9 Výkonové výstupy

Podrobná schéma zapojenia výkonových výstupov je na obr.2.9-1. Všetky výstupy možno ovládať programovo inštrukciami OUT, ale tiež ich môžu budiť externé zariadenia. Napájanie i záťaž si volí užívateľ podľa svojich potrieb. Výstup ovládaný cez bránu 1C1 je určený pre budenie výkonových záťaží typu jednosmerný motor, relé a pod., ktoré často vyžadujú niekoľkoampérové prúdy a obvykle i elektrické oddelenie. Na tento účel je v ŠMS použitý optočlen WK 16412, pomocou ktorého sa zároveň ovláda budiaci prúd výkonového tranzistora KU 612. Na reguláciu výstupného prúdu tranzistora možno použiť tri riadiace signály MOT CTL+, MOT CTL-, MOT SUP+. Určujú zisk optočlena a tým aj budenie výkonového tranzistora. Signál MOT CTL- možno ovládať programovo cez bránu 1C1 alebo externe z kontaktového poľa. Jeho výstupnú úroveň určuje napätie pripojené na MOT CTL+. Používa sa 0 + 5V, čo umožňuje pri danom kolektorovom odpore 180 Ω budiča 7406, vybudit' diódu optočlena skoro až do maximálne prípustného prúdu 30mA.

! Na napájanie tranzistorov (MOT SUP+) možno použiť systemové napájacie napätia +5V alebo +12V, ktoré majú pre užívateľa istú prúdovú rezervu (1A resp. 1,85A). Ak je však záťaž zdrojom rušenia (napr. jednosmerný motor), lepšie je použiť externý zdroj. V ŠMS je na filtráciu indukčívnej záťaže motora zapojený kondenzátor C8 (paralelne s napájacími svorkami motora MOT DRV a MOT RET). Pri uzemnenom MOT RET je výstupné napätie MOT DRV v rozsahu 0 + MOT SUP+ a prúd závislý na odpore záťaže (nesmie prekročiť 3A).

Ostatné výkonové výstupy (budiče 7406 brány 1A) sa budia výlučne číslicovými signálmi. Tieto predstavujú stav zapísaný procesorom do brány 1A, alebo skupinu externých číslicových signálov



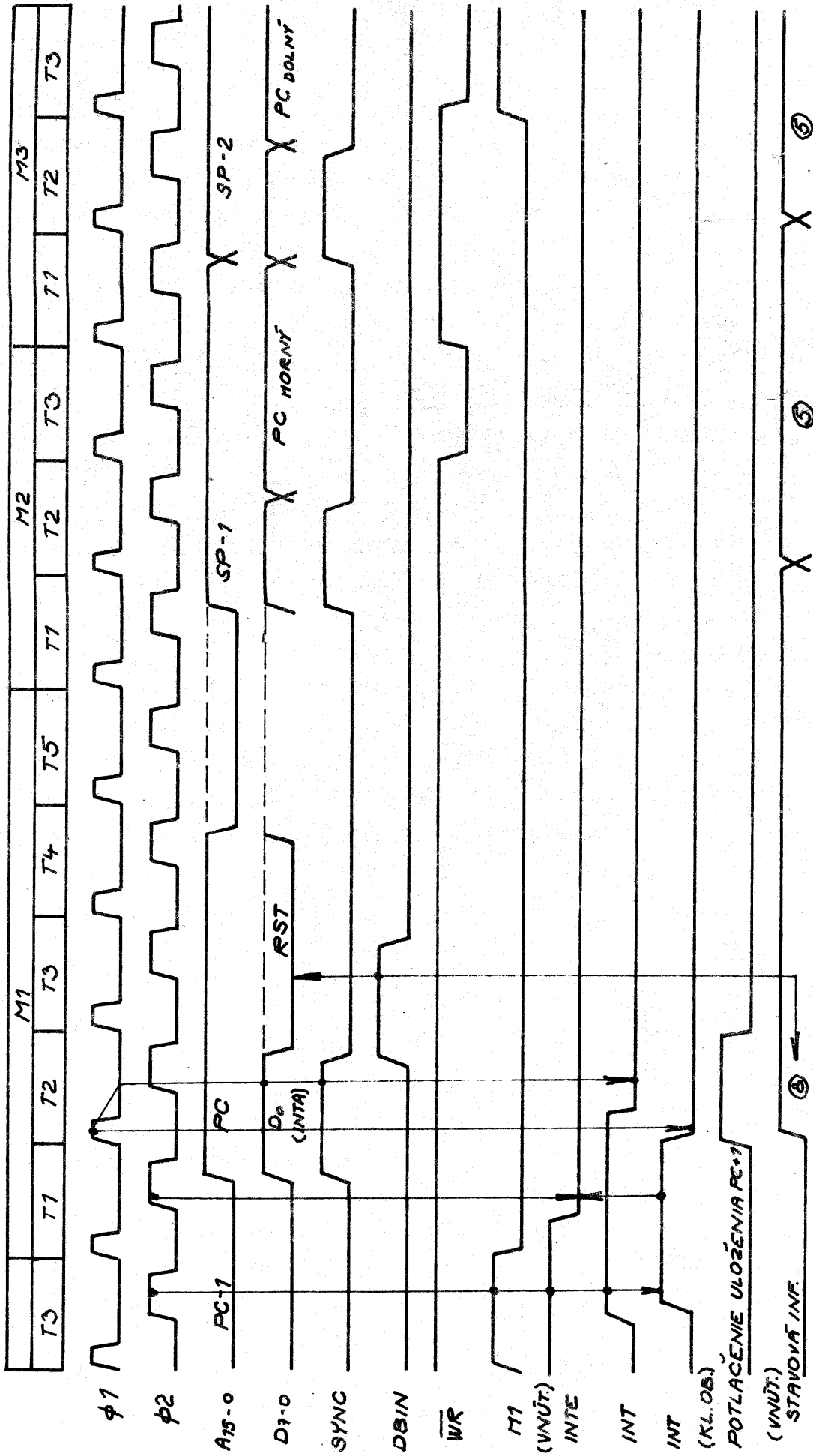
OBR. 2.9-1 ZAPOJENIE VÝKONOVÝCH VÝSTUPOV

privedených z okolia systému do komunikačnej päťice brány 1A. Stav vstupov/výstupov brány 1A sa tiež indikuje na LED indikáciách. Výstupné budiče sú tvorené invertormi 7406 s nezapojenými kolektorovými odpormi. Ak sa majú použiť na budenie nejakej záťaže, treba ich výstupy spojiť cez odpory na napájacie napätie. Na toto možno využiť v rohne 3 kontaktové polia (+5V, PORT 1A). Maximálne napájacie napätie budičov 7406 je 30V a dovolené prúdové zaťaženie 40mA. ! Budiče možno použiť napr. na súčtovanie rôznych napätí (t.j. generovanie analógových napätí), spínanie skupiny výstupov a pod.

2.10. Prerušovací systém

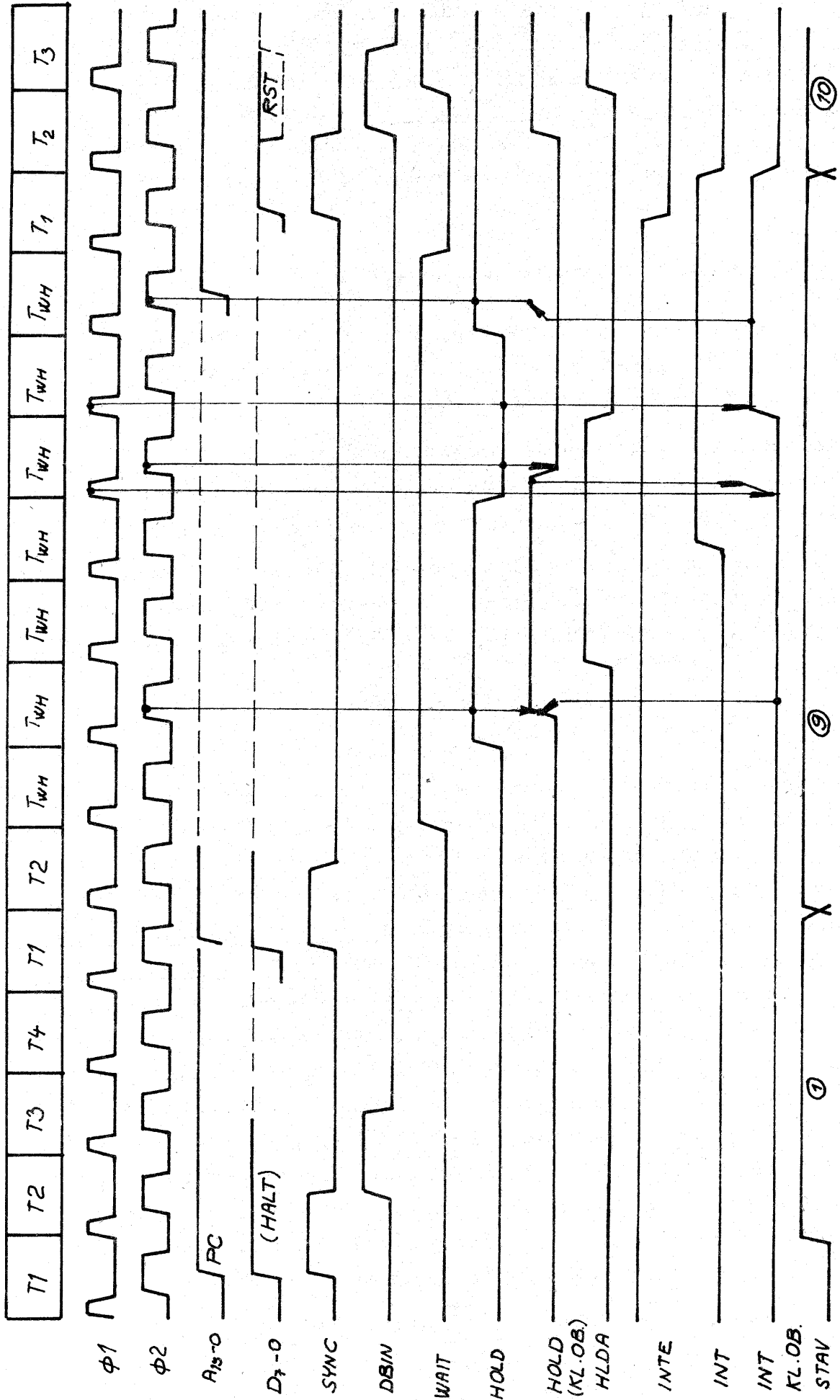
2.10.1. Prostriedky mikroprocesora 8080 pre spracovanie prerušení.

Mikroprocesor 8080 má zabudované prostriedky pre spracovanie prerušenia. Toto možno inicializovať jednoducho vybudením vstupu INT do "1". Interná prerušovacia logika synchronizuje prerušovaciu žiadosť s budiacimi hodinami, čo umožňuje prijať prerušenie v ľubovoľnom čase. Na príjem a maskovanie prerušenia používa mikroprocesor dva klopné obvody INT a INTE. Prijatie prerušenia podmieňuje stav klopného obvodu INTE (musí byť v "1"), ktorý možno programovo ovládať inštrukciami povolenia (EI) a zákazu (DI) prerušenia. Externým zariadeniam sa prijatie prerušenia oznamuje prostredníctvom výstupného signálu INTA. Na obr. 2.10-1 a 2.10-2 sú dve typické prerušovacie sekvencie. Žiadosť o prerušenie (stav klopného obvodu INT) sa testuje počas posledného taktu inštrukcie (t.j. po skompletovaní všetkých operácií inštrukcie, čím je zaručená celistvosť vykonania každej inštrukcie) a tiež počas každého stavu TWH po vykonaní inštrukcie HALT (viď tiež vývojový diagram na obr. 2.3-3). Prerušovací strojový cyklus, ktorý nasleduje po akceptovaní prerušovacej žiadosti sa z veľkej časti podobá na bežný strojový cyklus prinesenia inštrukcie. Ako zvyčajne je počas SYNC vysielaný stavový bit M1 (D5). Sprevádza ho však stavový bit INTA (D0), ktorý potvrdzuje prijatie prerušenia. Počas T1 sa síce na adresnú zbernicu procesora vnucuje obsah PC, ale samotné PC sa pritom neinkrementuje, takže stav PC pred prerušením ostáva nedotknutý a po obsluhu prerušenia sa môže opäť obnoviť. V ďalšom je už odlišnosť prerušovacieho cyklu zjavnejšia. Samotný procesor už ďalej nemá žiadne špeciálne funkcie. "Vtlačenie" osembitovej prerušovacej inštrukcie na dátovú zbernicu procesora počas stavu T3 je úlohou periférnej logiky. Ostatné budiče dátovej zbernice sa musia dočasne odpojiť, aby sa prerušovacia inštrukcia mohla uplatniť nerušené. Pre spracovanie prerušení má inštrukčný súbor I 8080 špeciálne jednobytové volacie inštrukcie RST. V ich kóde je trojbitové pole, ktorým je určená jedna z nasledovných volacích adres: 0 (RST0), 8 (RST1), 10 (RST2), 18 (RST3), 20 (RST4), 28 (RST5), 30 (RST6), 38 (RST7).



ⓐ = POTVRDENIE PRERUŠENIA ⓑ = ZÁPIS DO ZÁSOBNÍKA

OBR. 2.10-1 TYPICKÁ PRERUŠOVACIA SEKVENCIA



(PRINESENIE INŠTRUKCIE) (POTVRDENIE HALTU) (POTVRDENIE PRERUŠENIA V HALTE)

OBR. 2.10 - 2 PRIEBEH PRERUŠENIA POČAS HALT.

Pri vnútení kódu RST (C7, CF, ... FF - viď inštrukčný súbor) na dátovú zbernicu počas T3 prerušovacieho cyklu M1 sa vykoná volanie na jednu z uvedených adries, počnúc ktorou možno uložiť obslužný program prerušenia. Pretože RST je volacia inštrukcia, ukladá sa prerušovacie PC do zásobníka, odkiaľ sa na konci obsluhy obvykle vyberá inštrukciou návratu RET.

2.10.2. Organizácia prerušovacieho systému.

Podrobná schéma prerušovacej logiky je na obr. 2.10-3 a obr. 2.10-4. Z funkčného hľadiska ju možno rozdeliť na tri časti, ktorých úlohy sú nasledovné:

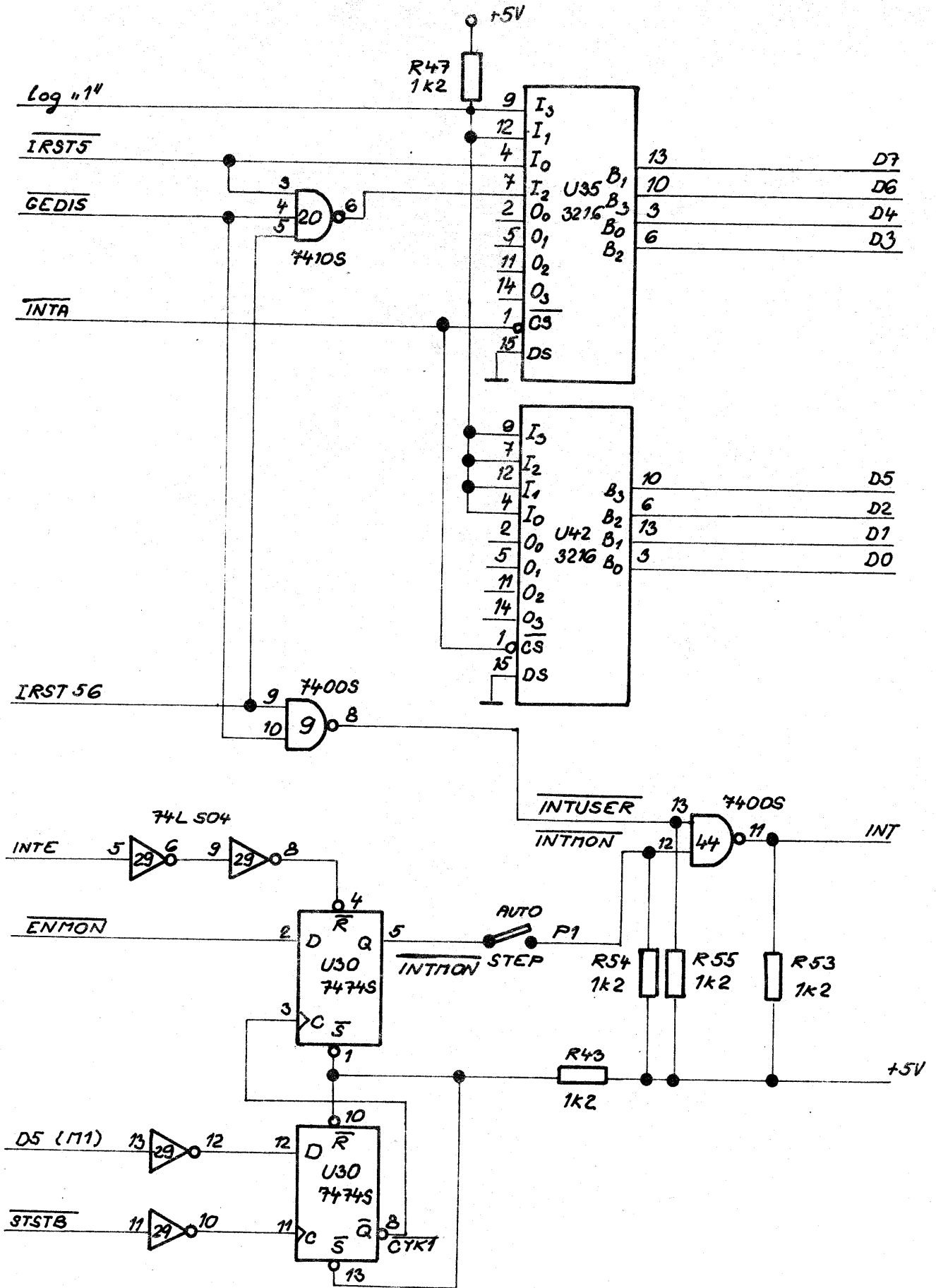
- generovanie monitorových prerušení ($\overline{\text{INTMON}}$)
- príjem a povolenie užívateľských prerušení ($\overline{\text{INTUSER}}$)
- generovanie prerušovacích vektorov ($D0 + D7 =$ inštrukcie RST).

Obe skupiny zdrojov prerušení majú svoje osobitné povolovacie signály i obslužné vektory a na prerušovací vstup mikroprocesora INT je privedený vyhradlovaný súčet žiadostí (signál INT).

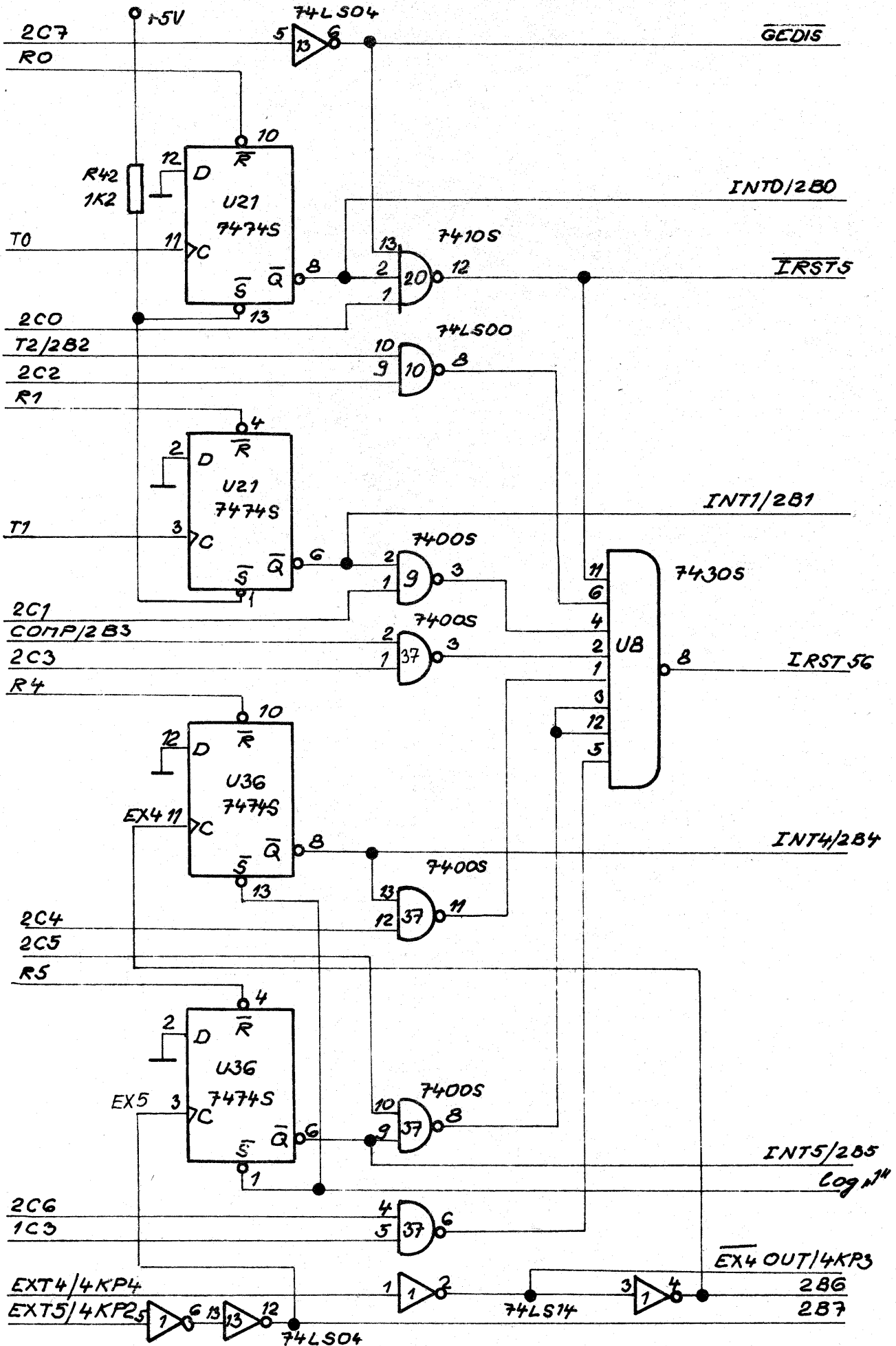
2.10.3. Monitorové prerušenia.

Úlohou monitorových prerušení je umožniť užívateľovi sledovať program po krokoch, t.j. sprístupňovať pamäť a registre procesora po vykonaní každej inštrukcie. Činnosť pri monitorovom prerušení určuje monitorový program, ktorý v tomto prípade pracuje ako program obsluhy prerušenia. Povolenie monitorových prerušení možno ovládať ručne (prepínač AUTO/STEP) i programovo (V/V signálom OC1 = ENMON). Monitorové prerušenia sa budú generovať (za predpokladu, že užívateľ nezakázal všetky prerušenia inštrukciou DI), ak je prepínač AUTO/STEP v polohe STEP a $\overline{\text{ENMOM}} = 0$, o čo sa štandardne stará monitor. Užívateľ si však vo svojom programe môže riadiť povolenie monitorových prerušení svojimi inštrukciami. Robí to napríklad aj samotný monitor pri podprogramoch vstupu dát z klávesnice. Počas vstupu zakazuje monitorové prerušenia, aby zbytočne neoneskorovali časovú slučku ošetrojúcu "zakmitávanie kontaktov" kláves.

* V SMS možno použiť i kontaktnú klávesnicu (viď kap. 2.12)



OBR.2.10 -3 SCHEMA ZAPOJENIA GENEROVANIA MONITOROVYCH PRERUSENI A RST



OBR. 2.10-4 SCHÉMA ZAPOJENIA GENEROVANIA
UŽIVATEĽSKÝCH PRERUŠENÍ

Zákaz monitorových prerušení je indikovaný zhasnutou LED indikáciou naľavo od monitorovej PROM. Činnosť monitorovej prerušovacej logiky si vysvetlíme pomocou časového diagramu na obr. 2.10-5.

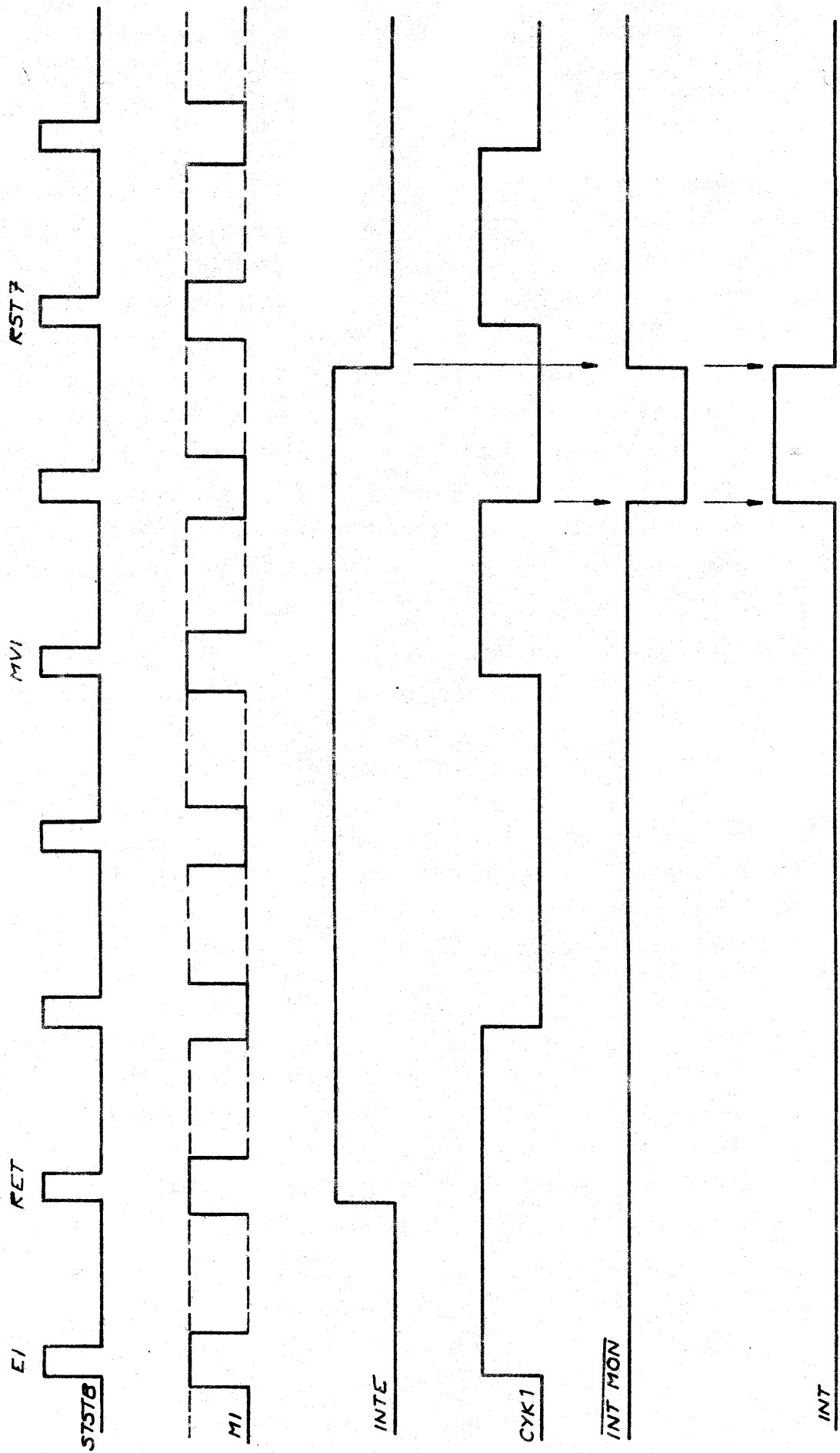
Pri spúšťaní užívateľského programu končí monitorová obsluha inštrukciami povolenia prerušenia (EI) a nastavenia užívateľského PC (RET). Obvod monitorovej prerušovacej logiky (U30) zabezpečuje vykonanie návratu z monitora (RET = nastavenie užívateľského PC), jednej užívateľskej inštrukcie (napr. dvojcyklovej MVI) a zároveň generovanie monitorového prerušenia INTMON (aktívneho v "0"), ktoré si vynúti obsluhu cez RST7. Táto sekvencia je pri nepovolených užívateľských prerušeníach pevná a narušiť ju môže iba užívateľská inštrukcia zákazu prerušenia DI, po vykonaní ktorej sa možno dostať späť do monitoru iba užívateľskou inštrukciou EI alebo užívateľským vyvolaním monitora inštrukciou RST4 (CALL 0020).

Pripomeňme, že inštrukčný cyklus pozostáva z 3-och až 5-ich strojových cyklov. Prvý strojový cyklus inštrukcie je od ostatných odlišený "1"-kovou hodnotou stavového bitu M1 (D5). Vzorkovaním tohto stavu signálom \overline{STSTB} sa získava hodinový signál CYK1, ktorý je vhodný pre prepis povoleného prerušenia ($\overline{ENMON}=0$, $\overline{INTE}=1$) na výstup D-klopného obvodu INTMON. Monitorové prerušenie^{sa} aktivuje na začiatku užívateľskej inštrukcie a trvá až do jeho asynchrónneho zrušenia procesorovým signálom INTE (po potvrdení prerušenia v prvom cykle inštrukcie RST7).

Dodajme ešte, že hodinový signál CYK1 mení svoju logickú úroveň pri zmene vzorky signálu M1 a teda nemení svoju "1"-vú hodnotu pri následných jednocyklových inštrukciách. Z toho vyplýva, že po užívateľskom povolení prerušenia inštrukciou EI sa monitorové prerušenie nemôže generovať skôr, než sa vykoná jedna viaccyklová inštrukcia a nezačne ďalšia. (Pozor, toto nie je vlastnosť I 8080, ale monitorovej prerušovacej logiky.)

Pri štandardnej práci monitora je tou viaccyklovou inštrukciou návrat z monitora RET (= nastavenie užívateľského PC). Základnou vlastnosťou monitorového programu je jeho reentrantnosť*, vďaka ktorej môže užívateľ používať a zväčša i monitorovať samotné monitorové podprogramy a to i v prípade generovania kom-

* umožňuje opakovaný vstup do práve bežiacich programov (zjednodušene)



OBK. 2.10-5 V ČASOVÉ PŘEBĚHY PŘI GENEROVÁNÍ MONITOVÝCH PŘERUŠENÍ

binovaných (monitorových a užívateľských) prerušení. Užívateľská žiadosť o prerušenie má vyššiu prioritu, keďže niet žiadneho dôvodu, aby sa neuplatnila hneď pri monitorovej inštrukcii RET. Nakoľko však i užívateľská obsluha prerušenia obvykle končí inštrukciami EI a RET a užívateľské prerušenia sa nepovoľujú stále, uplatní sa monitorové prerušenie, akonáhle sa začne vykonávať dočasne odložená (užívateľským prerušením) užívateľská inštrukcia.

2.10.4. Užívateľské prerušenia.

Okrem monitorových prerušení prijíma prerušovací systém užívateľské prerušenia, ktoré tvoria samostatnú vetvu prerušovacej logiky a nezávisia tak od povolenia či zákazu monitorových prerušení. Užívateľské prerušenia možno rozdeliť s ohľadom na lokálnosť ich zdroja na systémové a externé prerušenia.

Zdrojom systémových prerušení sú signály generované priamo na doske ŠMS (výstupy časovačov - T0, T1, T2, výstup A/Č komparátora - COMP, prerušenie od strobovaného vstupu alebo výstupu - 1C3). Naproti tomu zdroje externých prerušení (EXT4, EXT5) sú obvykle mimo dosky ŠMS a musia sa priviesť vodičom do vyznačeného bodu v kontaktovom poli alebo na odpovedajúci pin systémového konektora.

Úlohou prerušovacieho systému je spracovanie príležitostnej, hoci len veľmi ojedinelej udalosti, ktorej príchod a trvanie spravidla procesor nemôže predvídať. Aby bol procesor schopný rozoznať aj veľmi krátke signály (EXT4, EXT5) nespracúva ich priamo, ale zachytáva ich v D-klopných obvodoch (viď obr. 2.10-4). Minimálna šírka prerušovacieho impulzu je určená maximálnou frekvenciou D-klopného obvodu.

Okrem externých prerušení majú svoje záchytné klopné obvody aj výstupy časovačov T0 a T1. Prerušená COMP a 1C3 sa vzorkujú a pamätajú v ich samotných zdrojoch, takže pre ne nie sú klopné obvody potrebné. Iba výstup časovača T2 sa nevzorkuje.

Jeho základným použitím je časovanie A/Č prevodu, pri ktorom sa obvykle jeho prerušenie nepovoľuje. Ak sa má použiť prerušenie od časovača T2, musí sa zvolit' taký režim, v ktorom bude zaručená jeho identifikácia. S výnimkou 1C3 sa všetky zdroje prerušenia vedú na bránu 2B ako vstupy a preto ju možno považovať za stavový byte prerušenia. Keď dôjde k prerušeniu, program môže túto bránu čítať a určiť zdroj prerušenia. Obvykle nie je žiadúce, aby sa naraz generovalo viacero prerušení. Preto sa všetky prerušenia hradlujú povolo-
vacími signálmi, ktoré možno programovo ovládať na výstupnej bráne 2C (povolo-
vací byte prerušenia). Procesor bude akceptovať prerušenie, len ak dôjde k prerušovacej udalosti a zároveň bude jej povolujúci bit na bráne 2C v "1".

Stavové a povolo-
vacie bity jednotlivých prerušení sú defi-
nované nasledovne:

Zdroj prerušenia:	Povolo- vací bit	Stavový bit
Časovač 0 (kl.obvod)	2C0	2B0
Časovač 1 (kl.obvod)	2C1	2B1
Časovač 2 (bez kl.obv.)	2C2	2B2
A/Č komparátor	2C3	2B3
EXT4 (kl.obvod)	2C4	2B4
EXT5 (kl.obvod)	2C5	2B5
Brána 1C3	2C6	1C3
Všeobecné nepovolenie	2C7	
EXT4 (priamy-neprer.)		2B6
EXT5 (priamy-neprer.)		2B7

Na bráne 2C7 je signál všeobecného nepovolenia prerušenia (GEDIS) pre všetky užívateľské prerušenia. Keď je v "1", môže prerušenie vyvolať iba monitor. Pri systémovej nulovaní sa všetkým V/V obvodom vnucuje vstupný režim a signálne vodiče sa uvedú do plávajúceho stavu. Logika prerušenia vyhodnotí 2C7 ako "1"-ku a preto všetky užívateľské prerušenia automaticky zablokuje. Keď sa brána 2C naprogramuje pre výstup (režim 0), automaticky sa znulujú všetky jej bity.

Všeobecný zákaz prerušenia prestane platiť, ale jednotlivé prerušenia sú teraz blokované individuálnymi zákazmi prerušenia na 2C0 až 2C6. Na ich povolenie treba zapísať "1"-ku do odpovedajúcich bitov brány 2C.

Žiadne užívateľské prerušenie nemôže vzniknúť skôr, než sa 8255#2 nenaprogramuje a špecifikované bity brány 2C nenastavia na "1". Po prijatí prerušenia procesorom sa vykoná obsluha prerušenia, ktorá zahrňuje tiež špeciálny príkaz na znulovanie záchytného klopného obvodu zdroja prerušenia. Kvôli šetreniu logických obvodov používa sa tu záporná logika (výstup prerušenia je na invertovanom výstupe D-klopného obvodu). Nulovacie impulzy prerušenia sa vytvárajú na dekodéri 3205 (viď obr.2.6-7), počas procesorového príkazu na povolenie alebo zákaz ďalšieho prerušenia od obsluhovaného zdroja.

Na tento účel sa používajú inštrukcie nastavenia/nulovania individuálneho bitu brány 2C. Pri zápise bytu 2C sa stav klopných obvodov nezmení.

Prehľad stavových bytov prerušenia a im odpovedajúcich radiacií bytov pre povolenie alebo zákaz individuálnych prerušení je v tab. 2.10-1. Navrhnutá logika slúži nasledovným účelom:

- a/ Po spracovaní prerušenia z jedného zdroja možno jeho klopný obvod znulovať bez toho, aby sa tým ovplyvnil hociktorý iný zdroj prerušenia, ktorý mohol počas obsluhy predchádzajúceho prerušenia prijať prerušovací signál.
- b/ V predchádzajúcom nepovolený zdroj prerušenia môže byť povolený a jeho klopný obvod znulovaný, takže prerušenia budú generovať len budúce udalosti.
- c/ V predchádzajúcom nepovolený zdroj prerušenia môže byť povolený bez toho, aby sa jeho klopný obvod znuloval (zápisom do brány 2C namiesto do brány CNT2), takže prerušenie môže generovať predchádzajúca udalosť.

Všetky užívateľské prerušenia sa po vyhradľovaní ich povovacími signálmi (2C0 + 2C6) súčtuju do spoločnej žiadosti IRST56, ktorá je ďalej hradľovaná signálmi $\overline{\text{GEDIS}}$ a potom súčto-

STAVOVÉ BYTY PRERUŠENIA A PRÍKAZOVÉ BYTY PRE POVOLENIE/ZÁKAZ PRERUŠENIA

ZDROJ PRERUŠENIA	STAVOVÝ BYTE PRERUŠENIA NA BRÁNE 2B (pozri pozn.2)		PRÍKAZOVÝ BYTE PRE INŠTRUKCIU OUT CNT2 (pozri pozn.1)								
	BINÁRNE		HEX	ZÁKAZ	POVOLENIE						
Časovač 0	0	X	X	X	X	X	1	01	00	01	
Časovač 1	0	X	X	X	X	X	1	X	02	02	03
Časovač 2	0	X	X	X	X	1	X	X	04	04	05
A/Č kompar.	0	X	X	X	1	X	X	X	08	06	07
EXT 4	0	X	X	1	X	X	X	X	10	08	09
EXT 5	0	X	1	X	X	X	X	X	20	0A	0B
Brána 1C3	(pozri pozn.3)								0C	0D	

Pozn. 1 : Príkazový byte na povolenie/zákaz prerušenia sa musí zapísať do CNT2, aby sa ním vynuloval klopný obvod časovačov 0,1, EXT4 alebo EXT5. Príkaz na povolenie/zákaz prerušenia pre A/Č komparátor nuluje prerušenie iba v automatickom A/Č režime.

Pozn. 2 : V hexadecimálnych hodnotách stavových bytov sú ostatné bity (okrem určujúceho) doplnené nulami (čo v skutočnosti nemusí byť pravda). Používame ich však na testovanie individuálneho zdroja prerušenia. Výsledok ANI (hex hodnota) je vždy nula, ak testované prerušenie nebolo prijaté.

Pozn. 3 : Prerušenie od 1C3 nie je zahrnuté do stavového bytu. Čítame ho ako XXXX1XXX inštrukciou IN PORT 1C. Nulujeme ho čítaním brány 1A v strobovanom vstupnom režime (režimy 1 a 2) alebo zápisom do brány 1A v strobovanom výstupnom režime (režimy 1 a 2). Inak môžeme bránu 1C3 nastaviť (nulovať) tiež zápisom 06 (07) do CNT 1. Povolenie prerušenia pre bránu 1C3 nulujeme (nastavujeme) zápisom 0C (0D) do CNT2; dáta na bráne 1C3 sa pri tomto zápise nemenia.

STAVOVÉ A PRÍKAZOVÉ BYTY PRERUŠENÍ

vaná s $\overline{\text{INTMON}}$. Výsledná prerušovacia žiadosť INT je takto súčtom všetkých povelených žiadostí.

2. 10. 5. Generovanie inštrukcií RST.

Na generovanie prerušovacích vektorov (=RST) používa ŠMS trejstavové budiče 3216. Ich úlohou je počas $\overline{\text{INTA}}$ (potvrdenie prerušenia) vnútiť na dátovú zbernicu požadovanú inštrukciu RST. O tom, ktorá inštrukcia RST sa uplatní, rozhodujú signály pripojené na D3 a D4. Pre ich stav platí:

$$D3 = \text{GEDIS} + \text{IRST5} + \overline{\text{IRST56}}$$

$$D4 = \text{GEDIS} + \overline{\text{INTO}} + \overline{2C0} = \overline{\text{IRST5}}$$

Na dátovú zbernicu sa môžu dostať nasledovné kombinácie:

- GEDIS (2C7) v "1". Žiadosť vygenerovala monitorová prerušovacia logika. Na dátovú zbernicu sa dostáva 11111111, čo je RST7.
- GEDIS v "0" a $\overline{\text{IRST5}} = 0$. Žiadosť vygeneroval časovač 0. Na dátovú zbernicu sa dostáva 11101111, čo je RST5.
- GEDIS v "0" a $\overline{\text{IRST5}} = 1$, $\text{IRST56} = 1$. Žiadosť vygeneroval jeden z nasledovných zdrojov: T1, T2, COMP, EXT4, ^{EXT5}1C3. Na dátovú zbernicu sa dostáva 11110111, čo je RST6.
- GEDIS v "0" a $\overline{\text{IRST5}} = 1$, $\text{IRST56} = 0$. Žiadny užívateľský zdroj prerušenia nie je povolený. Žiadosť prišla od monitora. Generuje sa RST7.

Pri povelení všetkých vektorov prerušení klesá ich priorita v nasledovnom poradí: RST5, RST6, RST7.

2.11. Interfejsy periférií

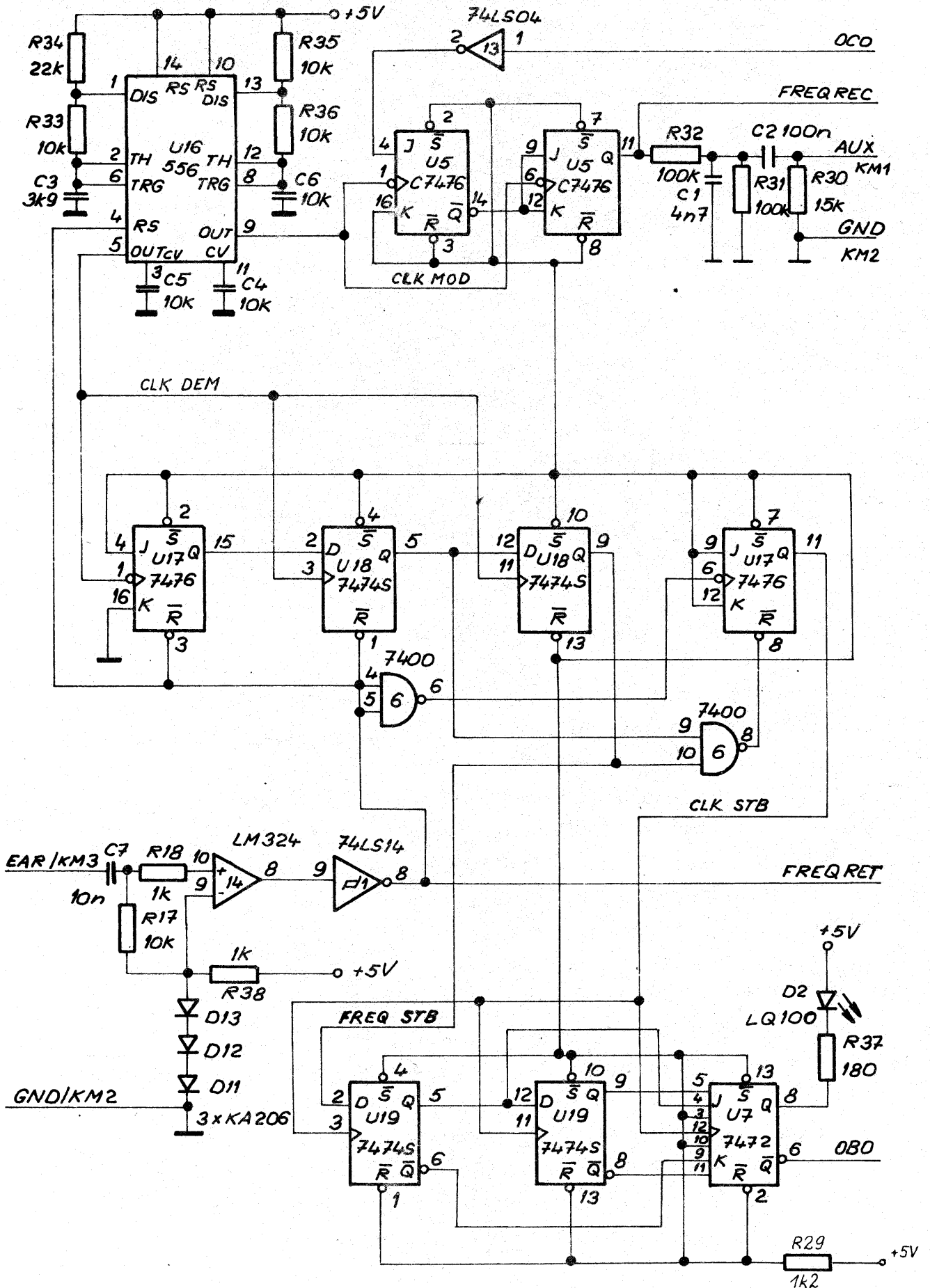
Jedinou štandardnou perifériou ŠMS je kazetopásková pamäť, dodávaná spolu so systémom a obsluhovaná prostriedkami systému. Ostatné periférie sú voliteľné a nakoľko by to mali byť zariadenia už existujúce, prípadne perspektívne dosažiteľné pre vlastníka ŠMS, systém nezahŕňa interfejsy pevne viazané na istý druh zariadenia, ale poskytuje iba niektoré univerzálne prostriedky pre uskutočnenie takéhoto pripojenia. Ďalším dôvodom, okrem minimalizácie technických prostriedkov ŠMS, je skutočnosť, že hardverové pripojenie užívateľského zariadenia a jeho programovej obsluhy by malo byť aj istým vyústením úsilia o naštudovanie a použitie systému. Na podporu demonštrácie pripojenia najbežnejších periférií /alfanumerický displej, diaľnospis/ sú na doske ŠMS dva štandardné interfejsy - RS 232 C a prúdová slučka /treba osadiť potrebné súčiastky/, ktoré nie sú síce úplné, ale postačujúce na základnú demonštráciu a tiež ich možno rozšíriť spojením prostriedkov ŠMS /V/V body/ s externými obvody /prevodníky, malé interfejsy, atď./.

2.11.1. Kazetopáskový modem

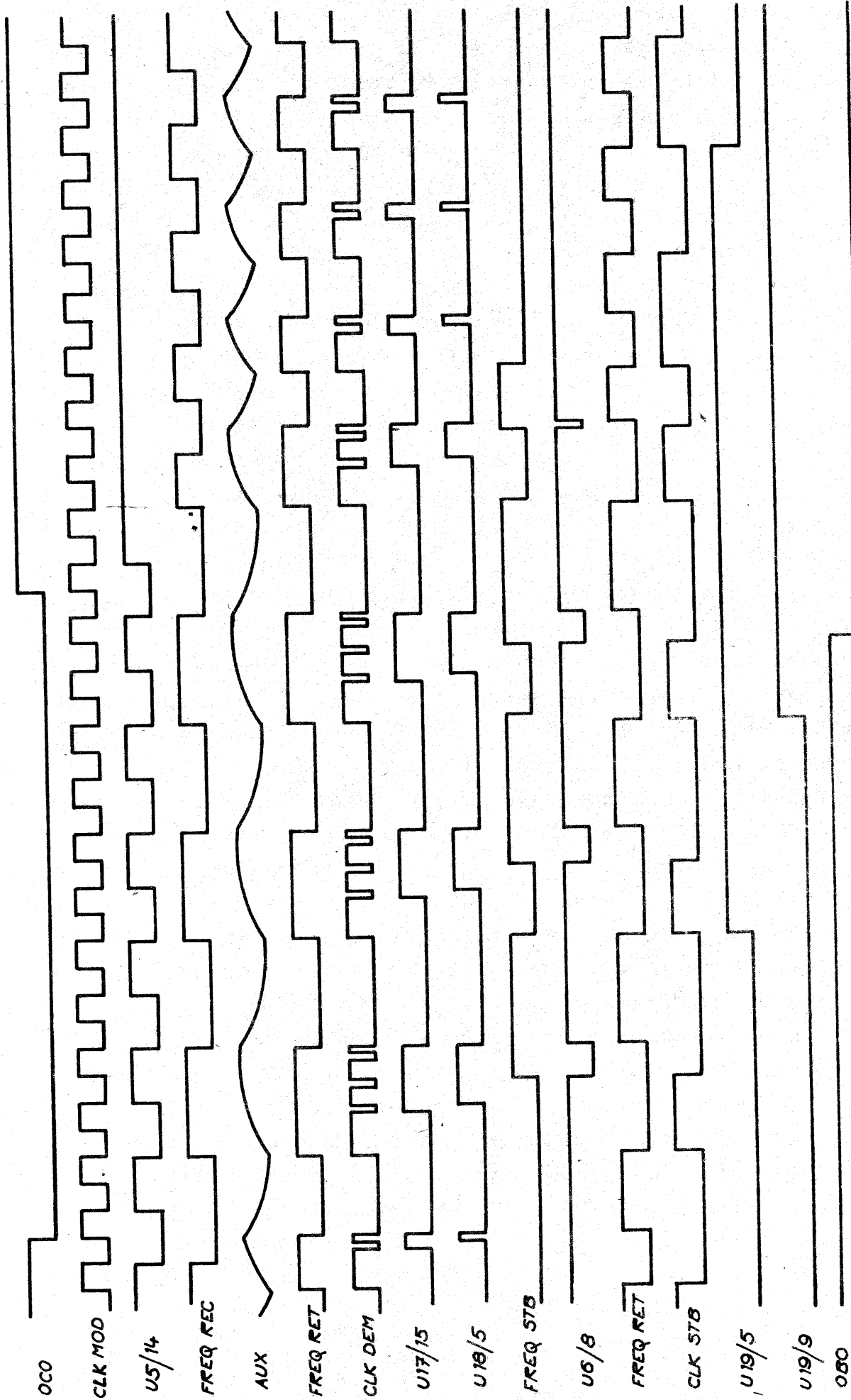
Kazetopáskový modem ŠMS je určený pre snímanie a záznam dát na komerčný kazetový alebo cievkový magnetofón, ktorý v tomto prípade plní funkciu archivačnej pamäti. Je to sériová pamäť bez ľubovoľného prístupu a skutočného adresovania. Pred záznamom alebo snímaním dát musí obsluha pretočiť pásku na požadované miesto bežnými ovládacími prvkami magnetofónu. Pre lepšiu orientáciu na páske je vhodné pred uložený program alebo dáta nahráť cez mikrofón potrebný komentár o názve, dĺžke, ukladacej a spúšťacej adrese programu. Každý záznam začína presne definovaným signálom /referenčný hvizd/, ktorý zaručuje správnu inicializáciu modemu pred príjmom dát. Tento záznam vytvára na páske modem automaticky pred samotným uložením dát. Pre záznam dát na magnetickú pásku je použitý spôsob známy pod menom

KANSAS CITY. Základným princípom tohto spôsobu je frekvenčná modulácia číselných dát, pri ktorej je logická "1" zaznamenávaná na pásku niekoľkými periódami akustickej frekvencie /strieda 1:1/, ktorá je zároveň dvojnásobkom frekvencie pre záznam logickej "0". V ŠMS sa štandardne používa pre záznam "1" frekvencia 2400 Hz a pre záznam "0" frekvencia 1200 Hz. Toto zaručuje spoľahlivú činnosť modemu až do prenosovej rýchlosti 500 Bd, hoci doporučované rýchlosti prenosu sú vzhľadom na rôznu kvalitu elektroniky magnetofónov, záznamových medií a niekedy i nepresnosti nastavenia a teplotnej nestability modemu iba do 300 Bd. Podrobná schéma modemu je na obr. 2.11-1 a časové priebehy charakterických signálov sú na obr. 2.11-2. Vysielačiu časť modemu tvorí modulátor, ktorý prijíma sériové dáta z OCO a v závislosti na nich generuje modulačný signál požadovanej frekvencie /1200/2400 Hz/. Sériové dáta poskytuje monitorový program SEROT, ktorý okrem paralelno/sériového prevodu vysielaných dát, zároveň riadi časovú os vysielaných dát. Ku každému bytu dát pridáva 1 štart bit /logická "0"/ a 3 stop bity /logické "1"-ky/. Dvanásťbitový formát výstupných dát umožňuje takto pri prenosovej rýchlosti 300 Bd vyslať 25 bytov/sek, z čoho vyplýva maximálna kapacita jednohodinovej kazety 90, kbytov. Modulačné frekvencie sa vytvárajú delením základného modulačného kmitočtu CLK MOD = 4800 Hz, ktorý generuje 1/2 obvodu 556 /U16/. Dvojica JK klopných obvodov /U15/ tvorí delič vysielačej frekvencie a výstupný signál FREQ REC je po úroveňom prispôsobení a kapacitnom oddelení vyvedený na konektor MGF s označením AUX. Rozkmit výstupného napätia je $\pm 0,3V$. Na potlačenie hodinovej frekvencie do obvodov predmagnetizácie magnetofóna je použitý filter R 32,C1.

Prijímaciu časť modemu tvorí demodulátor, ktorý spracúva výstupný signál z magnetofónu /EAR/ a poskytuje na OBO obnovený sériový signál. Monitorový program SERIN uskutočňuje spätný sériovo-paralelný prevod dát. Dáta musia byť z magnetofónu prehrávané rovnakou rýchlosťou ako boli nahrávané. Toto je nutné, lebo program SERIN jedine vtedy správne načasuje snímanie dát. Prenos každého bytu začína slučkou čakania na štart bit. Aby sa štart bit skutočne akceptoval,



OBR. 2. 11 - 1 SCHEMA ZAPOJENIA KAZETOPÁSKOVÉHO MODEMU.



OBK. 2.11-2 ČASOVÉ PRIEBEHY KAZETOPÁSKOVÉHO MODEMU

musí trvať najmenej 1 polbitový interval /bitový interval je obrátenou hodnotou prenosovej rýchlosti/, menšie intervaly program filtruje. Po akceptovaní štart bitu sa vždy v bitových intervaloch snímajú informačné bity a nakoniec sa skontroluje správnosť prijatia stop bitu. Prenos okamžite zhasťuje, ak ho SERIN nevyhodnotí ako "1"-ku. Jedinou úlohou demodulátora je správne obnoviť sériový číslicový signál, a to i pri istom skreslení signálu magnetofónu /kolísanie rýchlosti, šumy pásky, ... atď./ a tolerancii nastavenia demodulátora. Na vstupe demodulátora je komparátor, ktorý spolu so Schmittovým obvodom obnovuje modulačnú frekvenciu 1200/2400 Hz - merací bod FREQ RET. Tento signál sa v ďalšom používa na riadenie merania prijímanej frekvencie a tiež je z neho odvodený hodinový signál prepisu prijatej frekvencie ako stavu "0" alebo "1" na výstup demodulátora OBO, ktorý snímá obslužný program SERIN. Samotné meranie frekvencie prebieha pri "1"-kovej úrovni FREQ RET, počas ktorej je spustený generátor vzorkovacích hodín demodulátora CLK DEM. Dĺžka trvania FREQ RET definuje počet hodinových impulzov generátora a ten je určujúcim pre vyhodnotenie veľkosti frekvencie. Obe frekvencie /pre "0" i "1"/ môžu kolísať v istej tolerancii, ale meranie musí dať jednoznačnú odpoveď o jej hodnote. Preto rozlišovacia frekvencia musí byť niekde v strede medzi nimi. Nula až dve nábežné hrany hodín CLK DEM definujú "1", tri a viac "0". Stred odolnosti voči chybe na obe strany je takto definovaný nastavením tretej nábežnej hrany CLK DEM do troch štvrtín FREQ RET, čomu pri danej modulačnej frekvencii odovedá demodulačná frekvencia približne 9000 Hz /voľne kmitajúci oscilátor/. Ako vidieť zo schémy a časového diagramu obvodu U17 a U18 zabezpečujú prepis nameranej frekvencie do výstupného posuvného registra /U19, U7/, ktorý filtruje náhodné prechodné hodnoty frekvencií tým, že akceptuje zmenu hodnoty frekvencie až po dvoch zhodných meraniach. Na prepis nameranej frekvencie sa používajú hodiny CLK STB, ktoré sú odvodené od vstupného signálu a normalizované na 1200 Hz, z čoho vyplýva chyba vyhodnotenia vstupného signálu. Táto sa rovná jednej perióde "0"-ého signálu a obmedzuje použiteľnú prenosovú rýchlosť modemu. Možno ju zvýšiť jedine zväčšovaním frekvencií os-

ciátorov modulátora a demodulátora a približiť sa až rýchlosti 1000 Bd. S takouto rýchlosťou však sa už nedá pracovať spoľahlivo, pretože i pri presnom nastavení modulátora a demodulátora sú prenosové cesty i záznamové médiá vystavené svojim hraničným podmienkam.

V tejto súvislosti sa žiada niekoľko poznámok na adresu dodávanej periférie-kazet. magnetofónu MK27. Ide o zariadenie v rámci svojho druhu najlacnejšie a najjednoduchšie, ktoré zaručí správnu funkciu len pri jeho starostlivej údržbe (najmä mechanických častí). To isté platí aj pre používané pásky. Modem je schopný spracovať vstupný signál s minimálnou úrovňou 100mV (Uef). Pri prenose z magnetofónu (MK27) musí byť potenciometer hlasitosti vysunutý prinajmenšom do strednej polohy. Pri nižšej hlasitosti dochádza ku skresleniu signálu magnetofónu, následkom čoho môže prenos zlyhať. Okrem toho môže dôjsť pri prenose i k náhodnej chybe, ktorej najčastejším dôvodom je chyba pásky alebo mechaniky magnetofónu. Samozrejme, že tieto nedostatky sa dajú riešiť kvalitnejšími magnetofónmi a páskami. Ich použitie v ŠMS však nie je nutné naopak zbytočne by zvyšovali jeho cenu. Lacný odskúšaný magnetofón je i pri svojich nedokonalostiach dobrým pomocníkom užívateľa a jeho cena je tiež únosná.

2.11.2. Interfejs RS 232C.

Interfejs RS 232C, osadený na doske ŠMS, umožňuje pripojenie terminálov typu SM 7202, SM 1601, ktoré sú taktiež vytavené týmto interfejsom. Spomenutým alfanumerickým terminálom slúži tento interfejs na uskutočnenie diaľkových prenosov cez modem, napr. MDS 1200. Signály interfejsu sú definované doporučením CCITT V.24 /STANDARD EIA RS 232C/. V tejto kapitole si uvedieme iba tie signály, ktoré využíva ŠMS. /viď TAB 2.11-1/. Zapojenie interfejsu /dva napäťové prevodníky dátových signálov interfejsu/ je na okr. 2.11-3.

Procesor môže komunikovať s terminálom cez svoje V/V kody a navyše musí časovať sériové prenosy dát /programový UART/.

Príkladom programovej náhrady UART-u /sériovo-paralelný a paralelno-sériový prijímač a vysielač dát/ teli už monitérové programy SERIN a SEROT, ktoré obsluhujú kazetopáskovú pamäť. Programový drajver alfanumerického displeja má však obvykle odlišnú inicializáciu i ukončenie prenosu, iný formát dát i rozsah prenosových rýchlostí a tiež echo. Vyťaženie mikroprocesora na riadenie oboch smerov prenosu dát sťažuje prevádzku v skutočnom duplexnom režime /prekrývané vysielenie i príjem/, ktorá je možná len na káze prerušení a aj to len pri malých rýchlostiach prenosu. Pri základnom použití ŠMS môže byť riešenie tohto problému veľmi poučné.

Na pripojenie terminálu SM 7202 k ŠMS doporučujeme nasledovný postup:

1/ Upravte dosku displeja SM 1106 pre modemový režim, /t.j. rozpojte prepójku 13-14 a zapojte prepójku 13-15/, nastavte požadované prenosové rýchlosti, formát dát prenosu a navoľte diaľkový režim REMOTE

2/ Zhotovte si prepójovací kábel podľa zapojovacieho predpisu v tab. 2.11-1 a zapojte ho do odpovedajúcich konektorov.

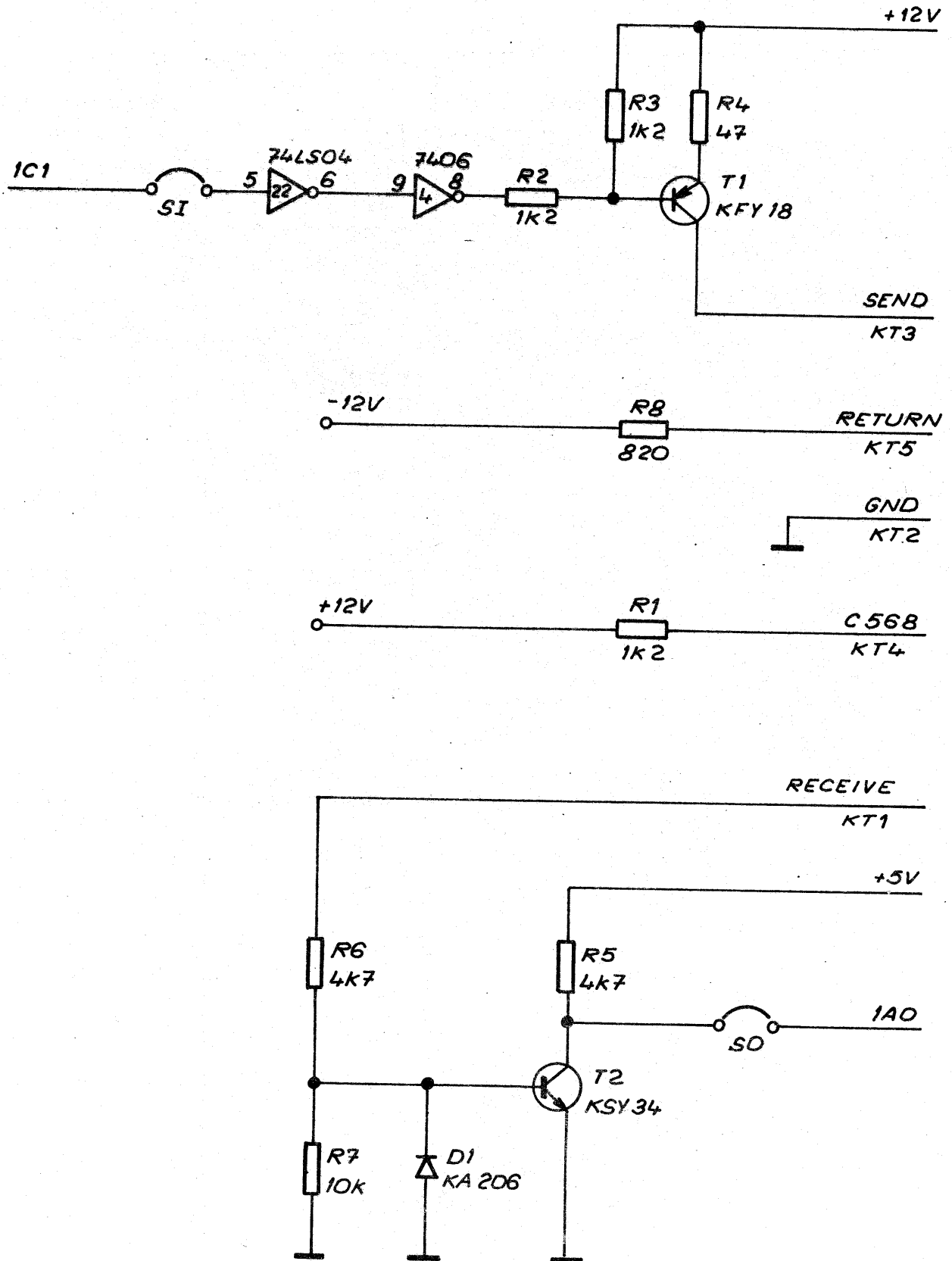
3/ Spojte na doske ŠMS prepójky SI a SO

Pri tomto zapojení môžete výstupné dáta* zo ŠMS vysielať cez V/V kód 1C1 a naopak výstup z displeja /ASCII kód znaku odpovedajúci stlačenej klávese/ môžete snímať na V/V kóde 1A0. Nezatudnite na to, že obslužný program musí používať rovnakú vysielenie a prijímaciu rýchlosť i rovnaký formát dát ako má pripojený terminál.

* ASCII kód znaku, ktorý chcete zobrazit' na displeji SM 7202

PREPOJENIE TERMINÁLU SM 7202 SO ŠMS.

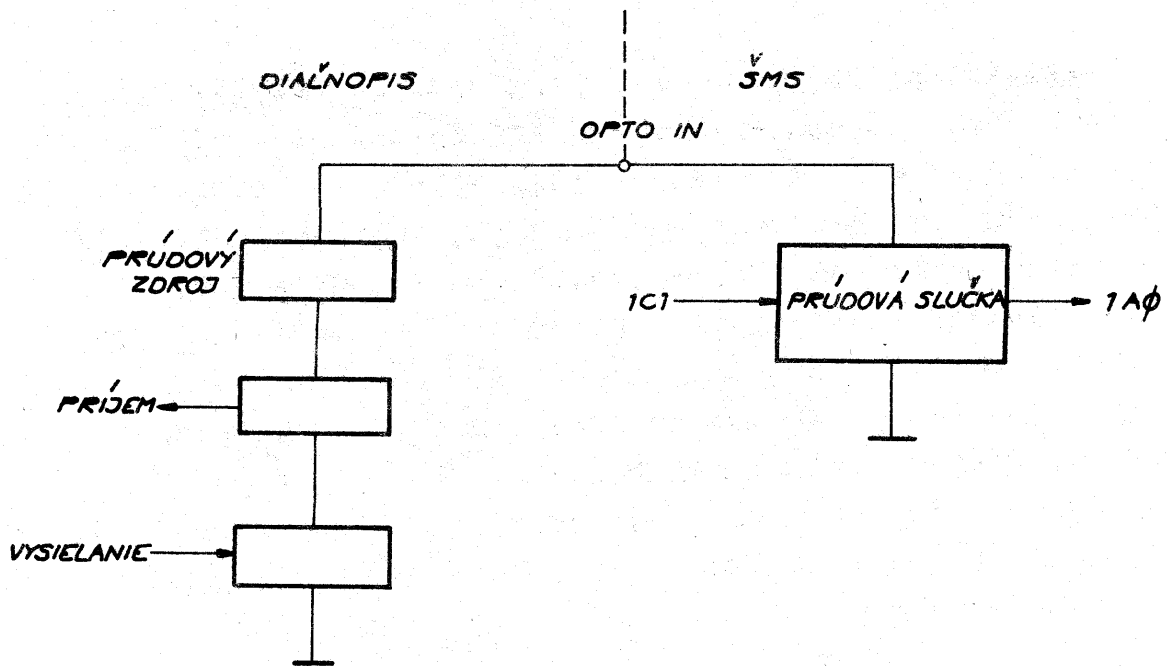
Signál terminálu	Konektor 7202 /CANNON 25pin/ - MODEM	Signál ŠMS	Konektor ŠMS /5 kol. KT/ -RS 232C
GND /102/7/ signálová zem	7	GND	2
TRANSMIT DATA / 103/2 / vysielačné dáta z displeja	2	RECEIVE	1
RECEIVE DATA / 104/3 / dáta prijímané displejom	3	SEND RETURN	3,5
REQUEST TO SEND / 105/4 / výzva k vysielaniu	4	C 568	4
CLEAR TO SEND 106/5 pohotovosť modemu k vysielaniu	5	C 568	4
DATA TERMINAL READY /108/20/ prípojenosť displeja	20	C 568	4



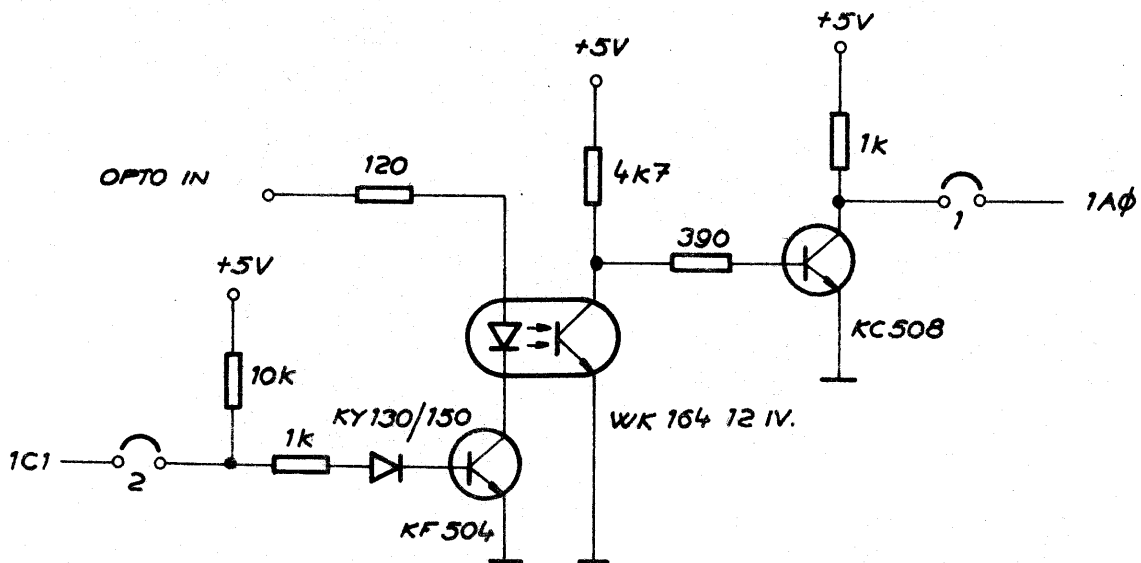
OBR. 2.11-3 SCHEMA ZAPOJENIA INTERFEJSU RS 232 C.

2.11.3. Prúdová slučka.

Ako voliteľný interfejs možno na dosku ŠMS osadiť prúdovú slučku pre poloduplexnú prevádzku zariadení typu dial-nopis, tlačiareň, displej atď. Schéma zapojenia je na otr. 2.11-4, pokyny pre osadenie súčiastok na požiadanie dodá výrobca. Okvod možno použiť pre obojstrannú komunikáciu, ale nie simultánne, prijímacia strana musí okvod uzatvárať. ŠMS môže vysielat' dáta cez 1C1 a snímať dáta na 1A0. Voltou súčiastok možno dosiahnuť požadovaný prúd slučky /20mA, 40mA/. Formát dát a prenosová rýchlosť závisí na type zariadenia a musí sa zohľadniť v obslužnom programe. Výhodou tohto interfejsu je značná vzdialenosť, na ktorú možno zariadenia prepájať /stovky metrov/.



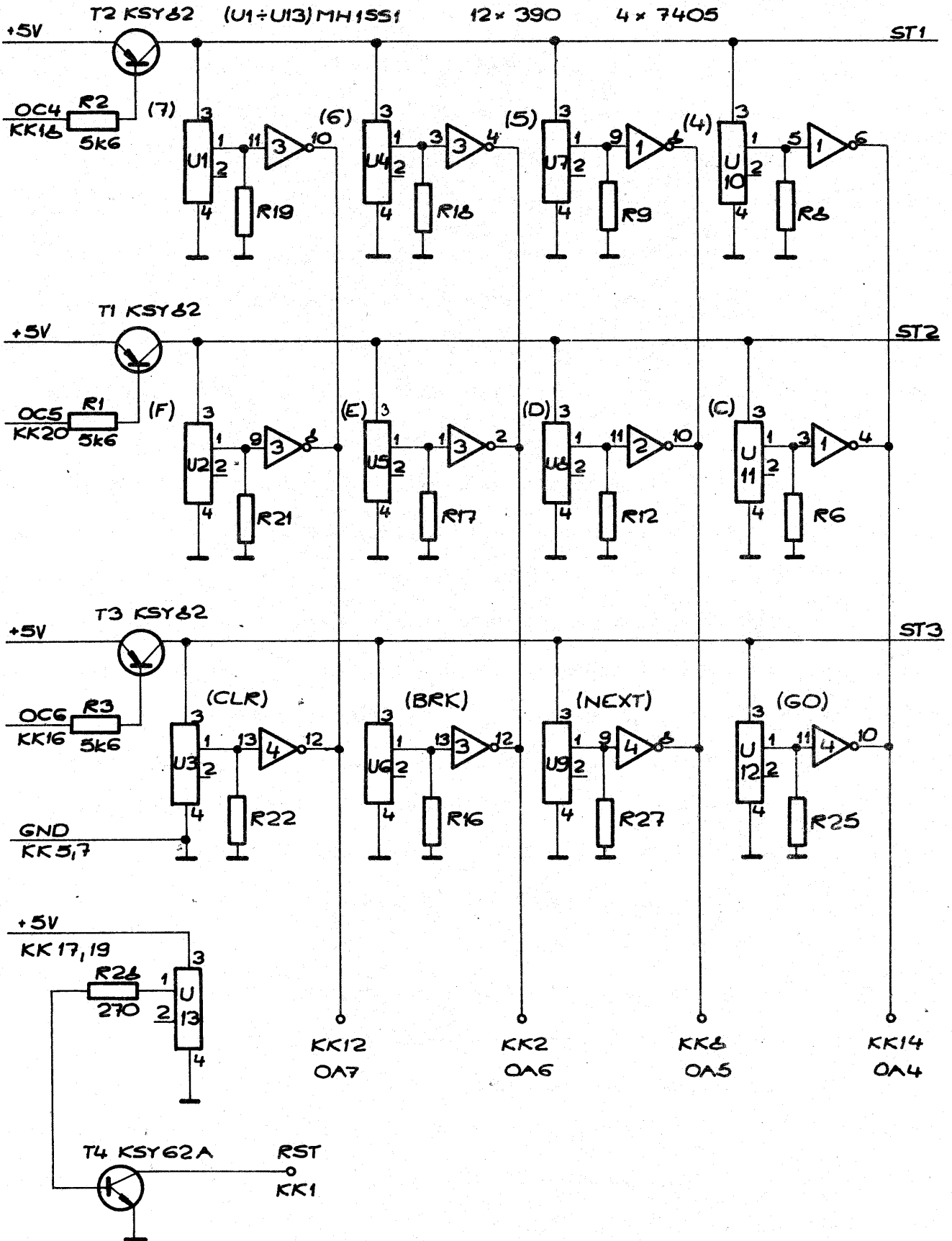
PRIPOJENIE DIAĽNOPISU K ŠMS CEZ PRÚDOVÚ SLUČKU



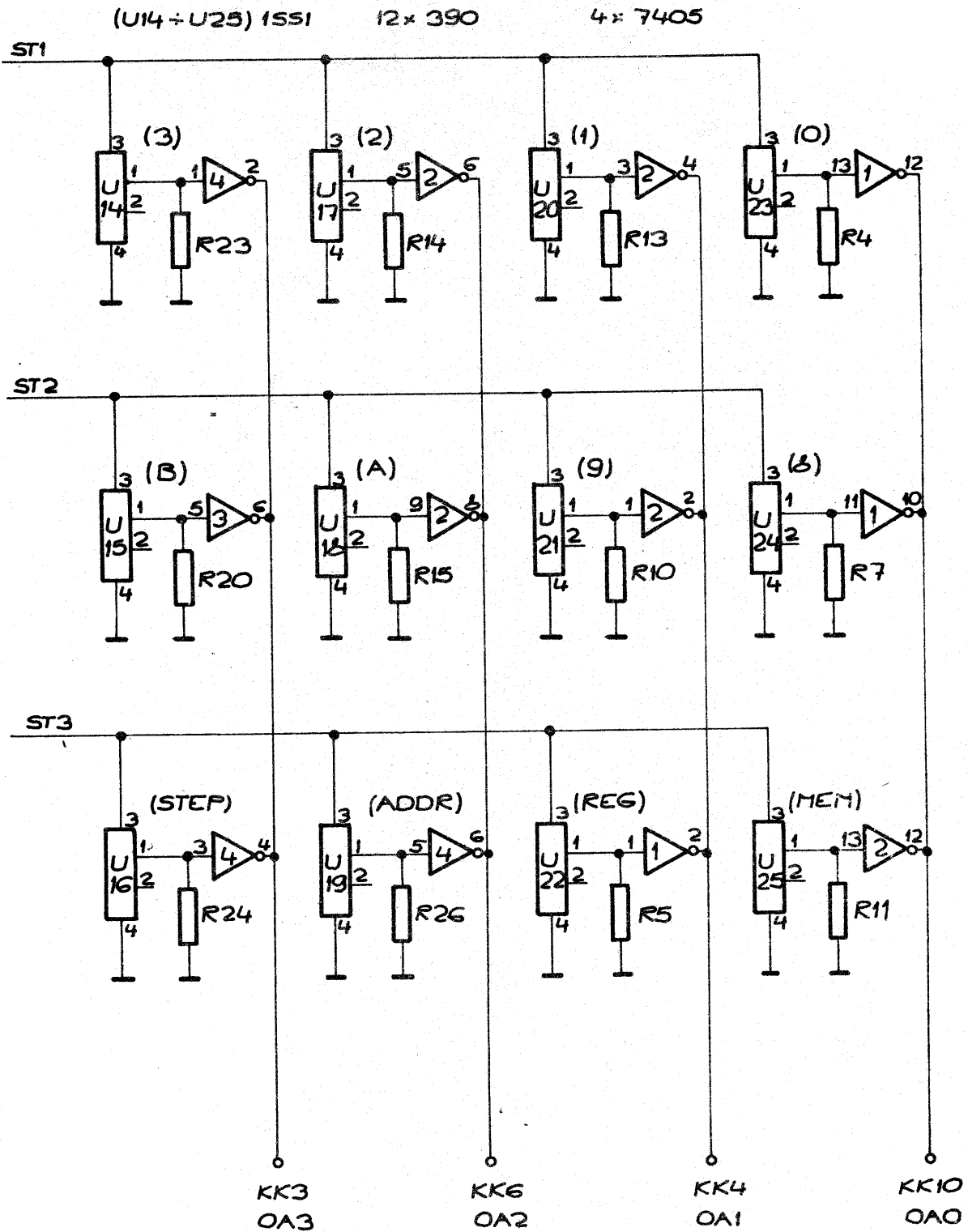
OBR. 2.11-4 PRÚDOVÁ SLUČKA

2.12 Klávesnica

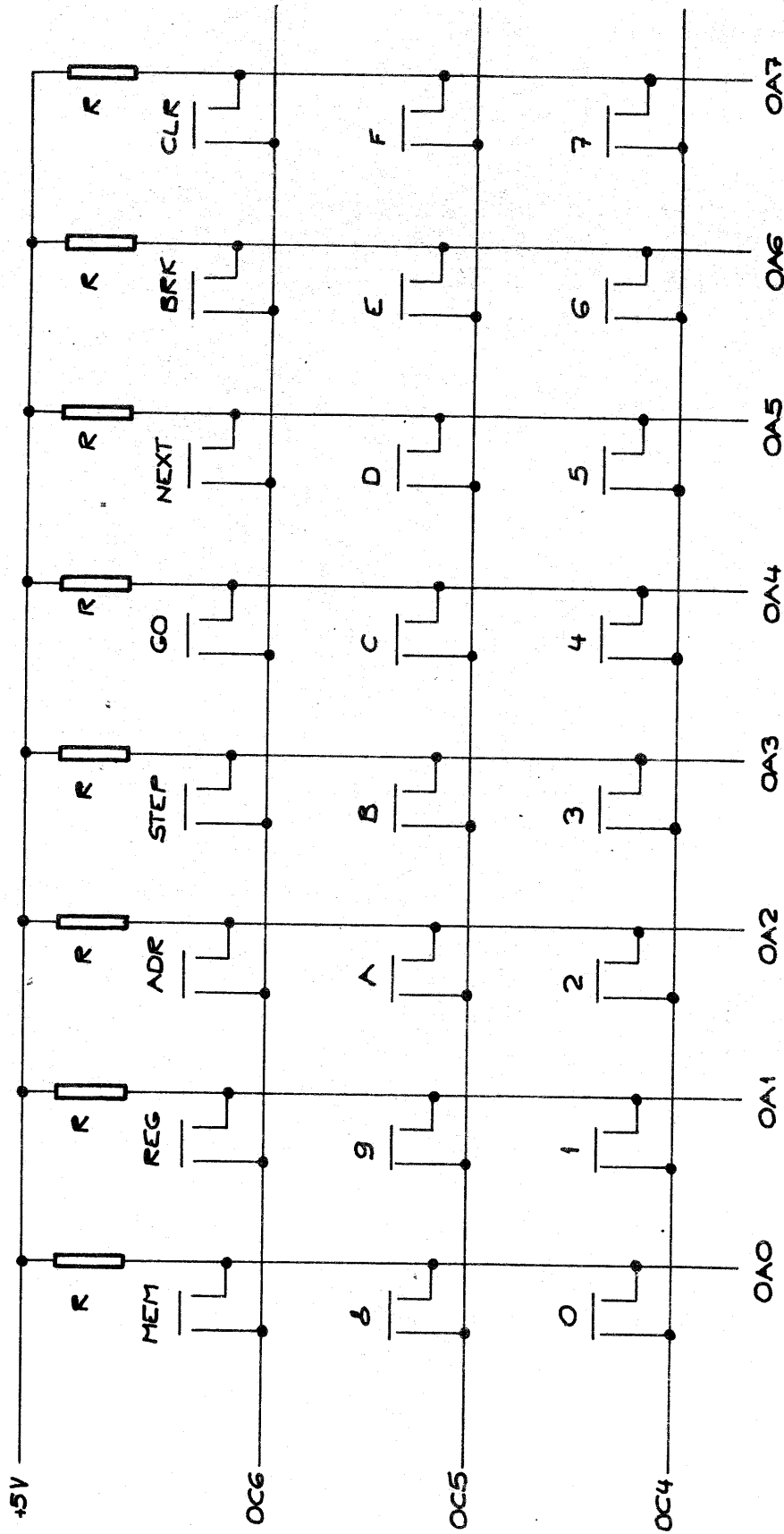
Základným vstupným zariadením ŠMS je klávesnica, cez ktorú sa vydáva príkaz systémového nulovania /klávesa RESET/ a ovláda monitor /ostatné klávesy/. Klávesnica tvorí samostatnú dosku a so systémovou doskou je spojená 25-pinovým konektorom. Podrobná schéma zapojenia klávesnice je na obr. 2.12-1,2. Pripojenie klávesnice k ŠMS si vysvetlíme na zjednodušenom zapojení na obr. 2.12-3, v ktorom sú klávesové obvody /bezkontaktné tlačidlá MH 1SS1 so spínacími tranzistormi KSY82 a súčinnými hradlami 7405/znázornené ekvivalentnými jednoduchými kontaktami. Klávesa RESET generuje úplne oddelene od ostatných kláves nulový impulz, ktorý sa po synchronizácii v 8224 používa na systémové nulovanie. Ostatné klávesy tvoria maticu kontaktov, v ktorej každý z troch výberových vodičov OC4, OC5 a OC6 /výstupné bity brány OC/ testuje stlačenie jemu odpovedajúcej osmice kláves /0,1,...,7/, /8,9,...F/ a /MEM,REG... CLR/. Stlačenie kláves sa sníma na 8-bitovej bráne OA, na ktorú sú prevedené súčtované signály kláves od všetkých troch výberových vodičov. Aby sa dala stlačená klávesa určiť jednoznačne, musia sa osmice kláves testovať oddelene. Monitor to robí nasledovne: vybudí jeden výberový vodič na "0" a sníma, či ju niektorá z kláves nezopla na vstupnú bránu OA. Ak sú na bráne samé "1"-ky, znamená to, že žiadna z osmice kláves tohto výberového vodiča nie je stlačená, v opačnom prípade sa určia stlačené klávesy maskovaním nulových bitov brány OA. Toto sa zopakuje aj pre ďalšie dva výberové vodiče. Po získaní klávesového vstupu, monitor ošetruje "zakmitávanie kontaktu" klávesy tým, že akceptuje iba 26 milisekundové nepretržité pustenie klávesy.



OBR. 2.12-1 ZAPOJENIE KLÁVESNICE - ČASŤ I.



OBR. 2.12-2 ZAPOJENIE KLÁVESNICE - ČASŤ II.



OBR. 2.12-3 ZJEDNODUŠENÉ ZAPOJENIE KLÁVESNICE

2.13. Elektrické vlastnosti užívateľských signálov.

2.13.1. Rozširujúci systémový konektor.

62-pinový systémový rozširujúci konektor ŠMS, na ktorom sú vyvedené systémové zbernice (adresná, dátová, riadiaca), niekoľko špeciálnych signálov a napájacie napätia, umožňuje rozšíriť ŠMS o ďalšie V/V moduly, pamäte, jednotky styku s prostredím. Pri rozširovaní systému sa však nesmá prekročiť medzné elektrické hodnoty, pretože by došlo k preťaženiu obvodov, čo vedie k zmenšeniu spoľahlivosti systému a v konečnom dôsledku k zníženiu preťaženého IO.

Uvádzané statické parametre signálov vyvedených na systémový konektor sú odvodené z údajov získaných z katalógových listov jednotlivých IO. Výstupný prúd I_{OL}^x predstavuje hodnotu, ktorou môže byť daný signál zatažený (k dispozícii užívateľovi) pri plnej konfigurácii pamäti (4 kB PROM, 2 kB RAM). U_{OL} a U_{OH} predstavujú zaručenú hodnotu napätia v logickej "0" resp. "1".

Adresná zbernica: A 0 + A 15

$$U_{OL} = 0,45 \text{ V max pri } I_{OL} = 1,9 \text{ mA}$$

$$U_{OH} = 3,7 \text{ V min pri } I_{OH} = -150 \mu\text{A}$$

$$I_{OL}^x = 1,9 \text{ mA max pre A 12 } \dot{=} \text{ A 14} \dots\dots \approx 1 \text{ zátťaž TTL alebo } 4x \text{ LS TTL}$$

$$I_{OL}^x = 1,57 \text{ mA max pre A 5 } \dot{=} \text{ A 9}$$

$$I_{OL}^x = 1,5 \text{ mA max pre A 10, A 11, A 15}$$

$$I_{OL}^x = 1,18 \text{ mA max pre A3, A4}$$

$$I_{OL}^x = 0,91 \text{ mA max pre A 2}$$

$$I_{OL}^x = 0,88 \text{ mA max pre A0, A1}$$

Dátová zbernica: D0 : D7

$$U_{OL} = 0,45 \text{ V max pri } I_{OL} = 10 \text{ mA}$$

$$U_{OH} = 2,4 \text{ V min pri } I_{OH} = -1 \text{ mA}$$

$$I_{OZ} = \pm 100 \mu\text{A (tretí stav)}$$

$$I_{OL}^x = 0,96 \text{ mA max pre D0, D4 } \dot{=} \text{ D6 (platí pre najhorší prípad budenia zbernice - PROM 2708)}$$

$$I_{OL}^x = 0,56 \text{ mA max pre D1 } \dot{=} \text{ D3, D7}$$

Riadiaca zbernica:

$$U_{OL} = 0,45 \text{ V max pri } I_{OL} = 10 \text{ mA}$$

$$U_{OH} = 2,4 \text{ V min pri } I_{OH} = -1 \text{ mA}$$

$$I_{OL}^x = 2,63 \text{ mA max pre } \overline{\text{MEMR}}$$

$$I_{OL}^x = 4,23 \text{ mA max pre } \overline{\text{MENW}}$$

$$I_{OL}^x = 5,8 \text{ mA max pre } \overline{\text{I/OR}}$$

$$I_{OL}^x = 5,4 \text{ mA max pre } \overline{\text{I/OW}}$$

Výstupné signály:

WAIT: $U_{OL} = 0,45 \text{ V max pri } I_{OL} = 1,9 \text{ mA}$

$$U_{OH} = 3,7 \text{ V min pri } I_{OH} = -150 \mu\text{A}$$

$$I_{OL}^x = 1,9 \text{ mA max}$$

ø 2 TTL: $U_{OL} = 0,45 \text{ V max pri } I_{OL} = 15 \text{ mA}$

$$U_{OH} = 2,4 \text{ V min pri } I_{OH} = -1 \text{ mA}$$

$$I_{OL}^x = 15 \text{ mA max}$$

$\overline{\text{HLDA}}$, $\overline{\text{T}\phi}$, $\overline{\text{RESET}}$:

$$U_{OL} = 0,5 \text{ V max pri } I_{OL} = 8 \text{ mA}$$

$$U_{OH} = 2,7 \text{ V min pri } I_{OH} = -0,4 \text{ mA}$$

$$I_{OL}^x = 4,6 \text{ mA max pre } \overline{\text{HLDA}}$$

$$I_{OL}^x = 4,8 \text{ mA max pre } \overline{\text{T}\phi}$$

$$I_{OL}^x = 6,4 \text{ mA max pre } \overline{\text{RESET}}$$

$\overline{2G}$ $U_{OL} = 0,4 \text{ V max pri } I_{OL} = 16 \text{ mA}$

$$U_{OH} = 2,4 \text{ V min pri } I_{OH} = -0,4 \text{ mA}$$

$$I_{OL}^x = 14,6 \text{ mA max}$$

$\overline{\text{CS3 RAM}}$, $\overline{\text{CS4 RAM}}$

$$U_{OL} = 0,4 \text{ V max pri } I_{OL} = 16 \text{ mA}$$

$$U_{OH} = 2,4 \text{ V min pri } I_{OH} = -0,8 \text{ mA}$$

$$I_{OL}^x = 16 \text{ mA}$$

Vstupné signály:

^x READY(8080)		^x RDYIN (8224)	
$I_{IL} = \pm 10\mu A \text{ max}$	} platí pre v.č.0 + 200	$I_{IL} = -0,25\text{mA} \text{ max}$	} platí pre v.č. 200 a viac
$U_{IL} = 0,8\text{V} \text{ max}$		$I_{IH} = 10\mu A \text{ max}$	
$U_{IH} = 3,3\text{V} \text{ min}$		$U_{IL} = 0,8\text{V} \text{ max}$ $U_{IH} = 2\text{V} \text{ min}$	

EXT 4: $I_{IL} = -0,4\mu A \text{ max}$
 $I_{IH} = 20\mu A \text{ max}$
 $U_{IL} = 0,8\text{V} \text{ max}$
 $U_{IH} = 2\text{V} \text{ min}$

Vstup - výstup (otvorený kolektor):

HOLD vstup:	výstup:
$I_{IL} = \pm 10\mu A \text{ max}$	$U_{OL} = 0,4\text{V} \text{ max}$
$U_{IL} = 0,8\text{V} \text{ max}$	$U_{OH} = 3,3\text{V} \text{ min}$
$U_{IH} = 3,3\text{V} \text{ min}$	$I_{OL}^x = 8,7\text{mA} \text{ max}$

Napájacie napätia:

napätie:	užívateľ:
+5V	1A
+12V	1,85A
-5V	30 mA
-12V	70 mA

Rozloženie signálov na systémovom konektore je v tab.2.13-1. Pre privedenie ďalších vstupných a výstupných signálov zo ŠMS alebo do ŠMS má užívateľ k dispozícii 12 voľných pinov.

* Poznámka:

V ŠMS s výrobnými číslami 0 + 200 nie je synchronizácia READY cez 8224, ale je tento vstup jednoducho ošetrovaný cez odpor 4k7 na +5V. Prepojka nad mikroprocesorom teda spojí READY s WAIT mikroprocesora 8080.

TAB. 2.13-1 Rozloženie signálov na systémovom konektore K

PIN	SIGNÁL	PIN	SIGNÁL
1	$\overline{I/OV}$	2	$\overline{I/OV}$
3	A 10	4	A 11
5	A 12	6	A 13
7	A 14	8	A 15
9	HOLD	10	\overline{MEMV}
11	A 0	12	A 1
13	A 2	14	A 3
15	A 4	16	A 5
17	A 6	18	A 7
19	A 9	20	A 8
21	GND	22	\emptyset 2 TTL
23	GND	24	RDYIN (READY ^x)
25	WAIT	26	DO
27	D 1	28	D 2
29	D 3	30	
31		32	
33		34	
35		36	EXT 4
37	\overline{HLDA}	38	
39	\overline{TO}	40	D 4
41	D 5	42	D 6
43	D 7	44	
45		46	
47		48	
49	\overline{ZG}	50	\overline{MEMR}
51	\overline{RESET}	52	$\overline{CS}RAM$
53	$\overline{CS}RAM$	54	+12V
55	+5V	56	+5V
57	GND	58	GND
59	GND	60	-12V
61	GND	62	-5V

^xPozn.: Platí pre výrobné čísla 0 + 200.

2.13.2. Kontaktné polia ŠMS.

Statičné parametre signálov vyvedených do kontaktných polí:

Výstupné signály:

$\overline{\text{EXT4}} \text{ OUT}, \overline{\text{T0}} \text{ OUT}, \overline{\text{T1}} \text{ OUT}, \overline{\text{T2}} \text{ OUT}$

$$U_{OL} = 0,5V \text{ max pri } I_{OL} = 8mA$$

$$U_{OH} = 2,7V \text{ min pri } I_{OL} = -0,4mA$$

$$I_{OL}^x = 4,8mA \text{ max pre } \overline{\text{T1}} \text{ OUT}$$

$$I_{OL}^x = 7,6mA \text{ max pre } \overline{\text{EXT4}} \text{ OUT}$$

$$I_{OL}^x = 8mA \text{ max pre } \overline{\text{T0}} \text{ OUT}, \overline{\text{T2}} \text{ OUT}$$

Výkonový výstup brány 1A (8 výstupov s otvoreným kolektorom)

$$I_{OL} = 40mA \text{ max}$$

$$I_{OH} = 250 \mu A \text{ max pri } U_{OH} = 12V$$

$$U_{OL} = 0,7V \text{ max}$$

$$U_{OH} = 30V \text{ max}$$

ANALOG OUT

$$U_M = 0,731 + 3,778V \text{ (mierkové napätie)}$$

$$I_{OL} = 5mA \text{ typ}$$

OPTO OUT

$$I_{OL} = 5mA \text{ max}$$

MOT CTL-

$$U_{OL} = 0,7V \text{ max}$$

$$U_{OH} = 30V \text{ max}$$

$$I_{OL} = 40mA \text{ max}$$

MOT DRV

$$I = 1A \text{ max (z interného zdroja +5V)}$$

$$I = 1,85A \text{ max (z interného zdroja +12V)}$$

MOT RET

$$\text{Typ } \emptyset V$$

Vstupné signály

EXT5, EXT4 (tento signál je vyvedený aj na systémový konektor)

$$I_{IL} = -0,4 \text{ mA max}$$

$$I_{IH} = 20 \mu\text{A max}$$

$$U_{IL} = 0,8 \text{ V max}$$

$$U_{IH} = 2 \text{ V min}$$

GØ IN, G1 IN

$$I_{LI} = 10 \mu\text{A}$$

$$U_{IL} = 0,8 \text{ V max (Max.záporné vstupné napätie -0,5V)}$$

$$U_{IH} = 2 \text{ V min}$$

ANALOG IN

$$I_I = \underline{45 \text{ nA typ}}^?$$

$$U_{IH} = 5 \text{ V max Max.záporné vstupné napätie -0,3V}$$

OPTO IN

$$I_{IL} = 20 \text{ mA (40 mA) typ}$$

Platí, ak je osadená prúdová slučka

MOT CTL+

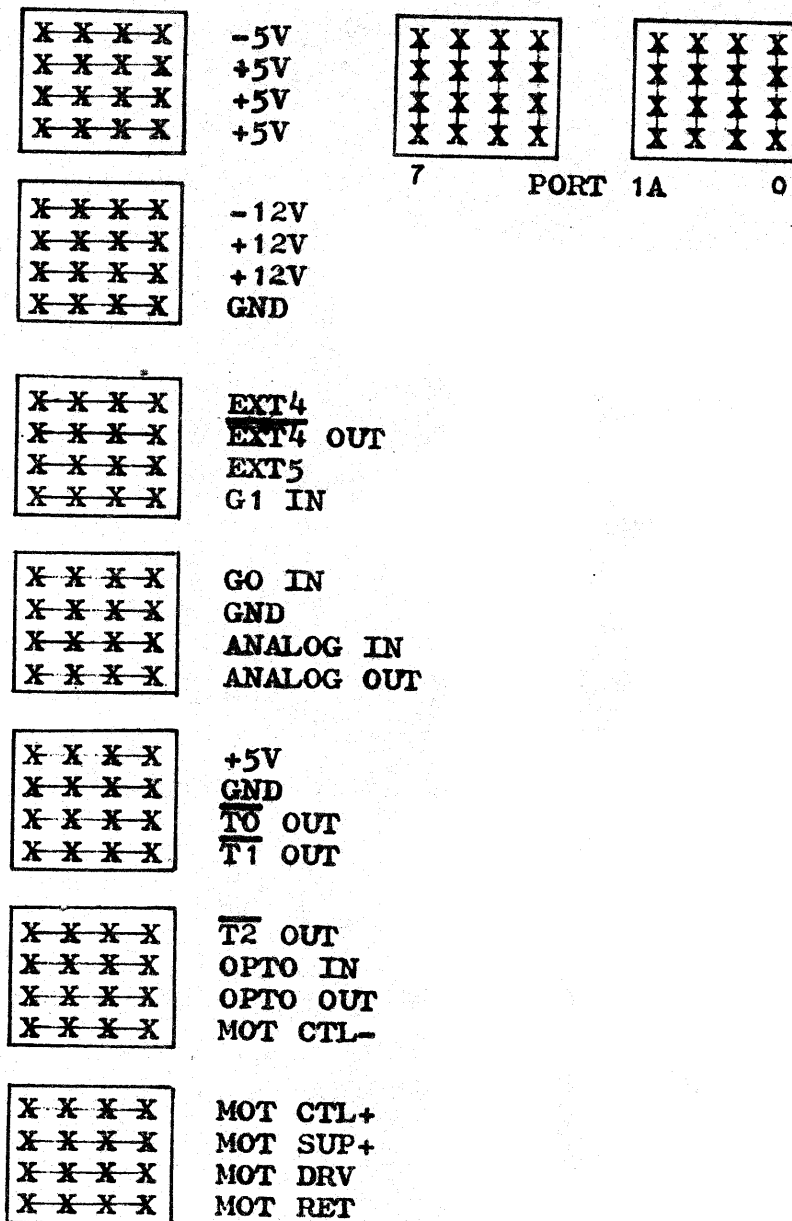
$$U_{IH} = 5 \text{ V typ}$$

$$I_{IL} = 30 \text{ mA max}$$

MOT SUP+

$$U_{IH} = +5 \text{ V (12V) typ}$$

Rozloženie signálov v kontaktoých poliach je na obr. 2.13.-1



OBR. 2.13-1 Rozloženie signálov
v kontaktových poliach

2.13.3. Vstupno-výstupné body.

Vstup a výstup z okolia systému možno realizovať cez tri 16-pinové päťice, do ktorých je vyvedených šesť programovateľných vstupno/výstupných brán. Tieto sú kompatibilné s TTL a ich výstupy sú schopné priamo budiť výkonové tranzistory v Darlingtonovom zapojení. Pri použití V/V brán sa musia dodržať nasledovné statické parametre:

$$U_{IL} = 0,8V \text{ max}$$

$$U_{IH} = 2V \text{ min}$$

$$I_{OL} = 1,7mA \text{ max pri } U_{OL} = 0,45V$$

$$I_{OH} = -200/\mu A \text{ max pri } U_{OH} = 2,4V$$

$$I_{DAR} = -4\mu A \text{ max pri } U_{OH} = 1,5V, R_{EXT} = 750\Omega$$

$$I_{IL} = 10/\mu A$$

PORT 1A₀ ± 1A₇

Táto brána je určená pre vstup (ako výstup ju možno použiť z kontaktného poľa, kde je výkonovo zosilnená - viď kap.2.13.2.). Brána 1A sa môže použiť v režime 0, alebo v režime 1 a 2, kedy riadiace signály sú použité z brány 1C.

PORT 1C₀ ± 1C₇

Táto brána sa môže použiť pre externý vstup a výstup (okrem 1C₃) v režime 0. V režime 1,2 bity 1C₃ ± 1C₇ sú použité na riadenie vstupu alebo výstupu brány 1A (pozri tab.2.6-2).

Režim 0

1C ₀	vstup/výstup	$I_{OL}^x = 1,3mA \text{ max}$
1C ₁	vstup/výstup	$I_{OL}^x = 1,3mA \text{ max}$ (0,9mA pri prepojke SI)
1C ₂	vstup/výstup	$I_{OL}^x = 1,7mA \text{ max}$
1C ₃	vstup	
1C ₄	vstup/výstup	$I_{OL}^x = 1,7mA \text{ max}$
1C ₅	vstup/výstup	$I_{OL}^x = 1,7mA \text{ max}$
1C ₆	vstup/výstup	$I_{OL}^x = 1,7mA \text{ max}$
1C ₇	vstup/výstup	$I_{OL}^x = 1,7mA \text{ max}$

Pozn.: Pozri zakázané konfigurácie v tab.2.6-6.

PORT 2A ϕ : 2A7

Bránu možno použiť pre vstup alebo výstup v režime 0.

$$I_{OL}^x = 1,7\text{mA max pre každý bit brány}$$

PORT ϕ B ϕ - ϕ B7

Bránu možno použiť pre vstup alebo výstup v režime 0. Pri použití bitu ϕ B ϕ treba zrušiť prepojkú pod V/V obvodom 8255 #0(U38).

$$I_{OL}^x = 1,7\text{mA max platí pre každý bit brány.}$$

PORT ϕ A ϕ : 0A7, ϕ C ϕ : 0C7

Tieto brány používa monitor ŠMS pre vstup z klávesnice. Užívateľ ju principiálne môže použiť aj inak, ale pri každom privolaní monitora sa brána 0A rekonfiguruje do vstupného režimu 0 a ďalej bude ovplyvňovaná cez klávesnicu výstupmi bitov brány 0C ϕ .

Monitor ŠMS V 1.6 umožňuje použiť z brány ϕ C len jeden bit.

<u>ϕCϕ</u>	<u>vstup/výstup</u>	$I_{OL}^x = 1,3\text{mA max}$
--	---------------------	-------------------------------

Rozloženie signálov na konektore klávesnice je v tab.2.13-2.

TAB. 2.13-2 Rozloženie signálov na konektore
klávesnice KK

PIN	SIGNÁL	PIN	SIGNÁL
1	+5V	2	ØC5
3	+5V	4	ØC4
5		6	ØC6
7		8	ØA4
9		10	ØA7
11		12	ØAØ
13	GND	14	ØA5
15	GND	16	ØA2
17	ØA3	18	ØA1
19	RST	20	ØA6

2.14 Zdroj mikropočítačového systému

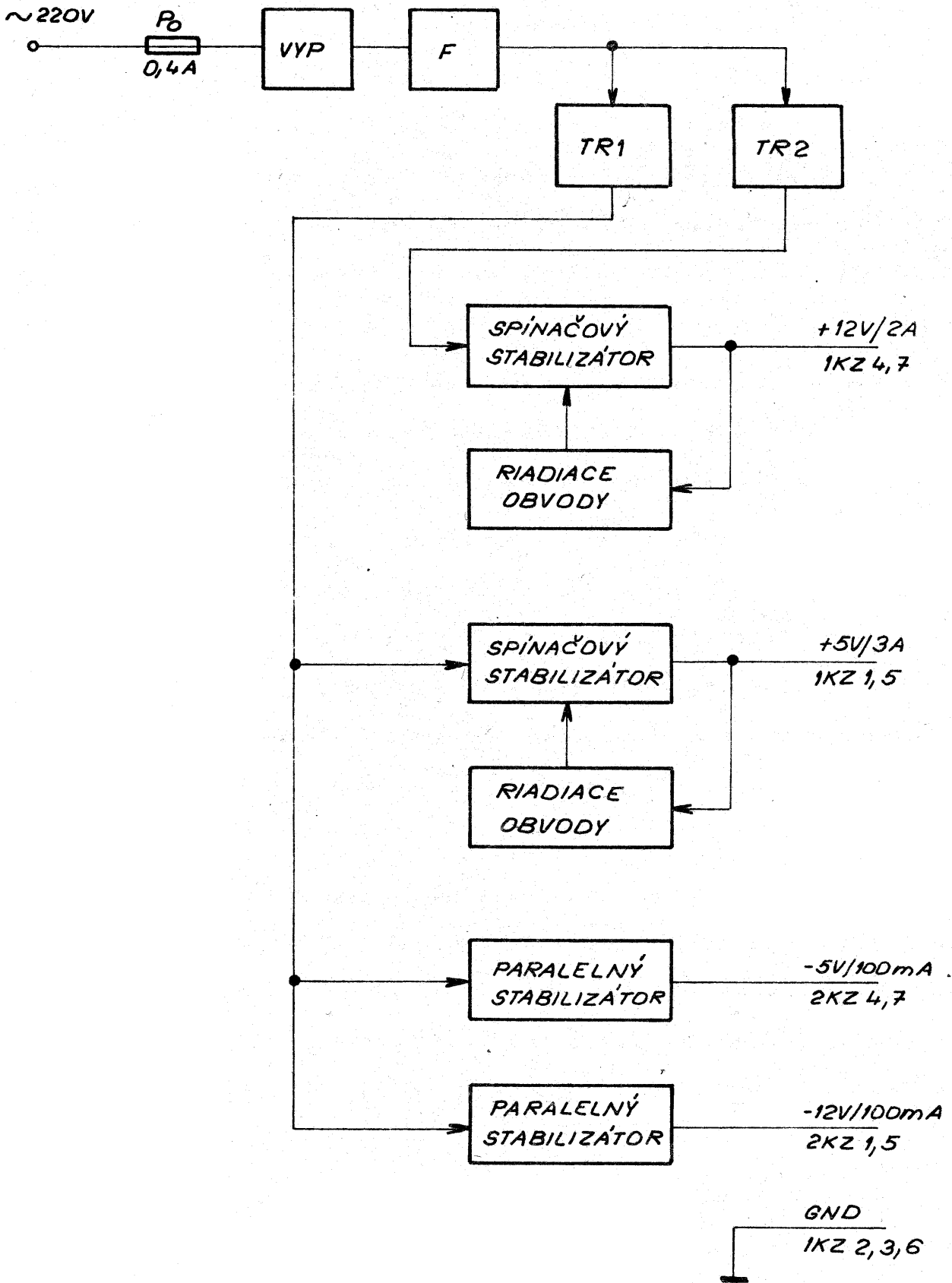
Bloková schéma zdroja pre mikropočítačový systém je na obr. 2.14-1. Sieťové napätie je privedené do zdroja sieťovou vaničkou, z ktorej je cez poistku a odrušovací filter privedené na primárne vinutia transformátorov TR1, TR2. Ako TR1, TR2 sú použité sieťové transformátory ZVS Dubnica typu 9WN 661 82 so symetrickým sekundárnym vinutím s vyvedeným stredom.

Výstupné napätie TR1 sa vedie na dvojcestný usmerňovač a filtračné kondenzátory kladného napätia a tiež na dvojcestný usmerňovač záporného napätia. Stred vinutia tvorí „zem“ - „0V“.

Z kladného napätia je napájaný spínačový stabilizátor výstupného napätia „+5V“. Toto je stabilizované riadiacimi obvodmi, ktoré pozostávajú zo zosilňovača odchýlky, ochrany pred prúdovým pretážením a šírko-impulzného modulátora. Vzorka výstupného prúdu sa sníma impulzným transformátorom. Zosilňovač odchýlky riadi šírko-impulzný modulátor, ktorý ovláda dobu zopnutia výkonového a spínacieho tranzistora.

Zo záporného napätia sa prostredníctvom dvoch paralelných stabilizátorov stabilizujú výstupné napätia „-5V“ a „-12V“. Výkonový regulačný tranzistor je riadený integrovaným zosilňovačom odchýlky, ktorý ako referenčné napätie využíva „0“ zdroja a pomocou odporového deliča R:R porovnáva výstupné napätia +5V s -5V respektívne +12V s -12V.

Výstupné napätie transformátora TR2 sa vedie na vstupný mostíkový usmerňovač a filtračné kondenzátory. Stred vinutia tvorí napätie pre pomocný zdroj, z ktorého sú napájané riadiace obvody spínačových stabilizátorov. Mostíkový usmerňovač napája spínačový stabilizátor výstupného napätia „+12V“. Stabilizátor pracuje rov-



ZAPOJENIE ZDROJA OBR. 2.14 - 1.

nakým spôsobom ako stabilizátor „+5V“.

Výstupné napätia sú vodičmi vyvedené zo zdroja na konektory V1 a V2, ktoré zabezpečujú pripojenie zdroja k mikropočítačovému systému.

Edícia PROGRAM

ŠKOLSKÝ MIKROPOČÍTAČOVÝ SYSTÉM. PRÍRUČKA OPERÁTORA. Spracovali Ing. Anton Dolejší, Ing. Pavol Gregorek, Ing. Karol Horváth a Ing. Peter Malý. Lektorovali Ing. Igor Lalček, Ing. Július Oravec a Ing. Miroslav Toman. Vydal Datasystém, koncernová účelová organizácia, Bratislava, Štefanovičova č. 4. ako svoju 9 publikáciu v edícii Program roku 1982. Rozsah 132 strán. Náklad 1000. Zadané do tlače 28.2.1982. Tlač odbor 1120-reprografické stredisko Bratislava.

© Datasystém 1982

DTS 1/40/1120/EP-82/P-41/1121/2/ 0265

datasystem

1982